

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-202755
(43)Date of publication of application : 19.07.2002

(51)Int.Cl.

G09G	3/30
G09F	9/30
G09G	3/20
H05B	33/08
H05B	33/14

(21)Application number : 2001-298724 (71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD
(22)Date of filing : 28.09.2001 (72)Inventor : INUKAI KAZUTAKA

(30)Priority

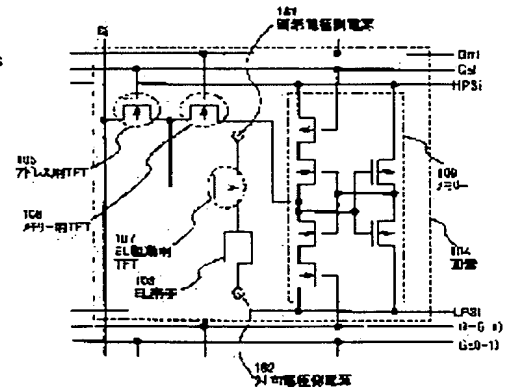
Priority number : 2000302447	Priority date : 02.10.2000	Priority country : JP
2000323453	24.10.2000	JP

(54) LIGHT-EMITTING DEVICE AND ITS DRIVE METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a light-emitting device which is hard to generate a false outline and its drive method.

SOLUTION: To prevent display disturbances, such as false outline from being viewed, longer subframe periods are divided in order and dispersed in a single frame period, so that the divided subframe periods will not appear successively. Data read out in the divided subframe period appearing for the 1st time among the divided subframe periods are held by memories in respective pixels, and the held data are read out in other divided subframe periods and displayed. This constitution can prevent the display disturbances, such as false outline, which is conspicuous in time-division drive by a binary coding method from being viewed.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C): 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2002-202755

(P2002-202755A)

(43)公開日 平成14年7月19日(2002.7.19)

(51) Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 0 9 G 3/30		G 0 9 G 3/30	K 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B
	6 3 1		6 3 1 H

審査請求 未請求 請求項の数16 O.L (全 36 頁) 最終頁に続く

(21) 出願番号	特願2001-298724(P2001-298724)
(22) 出願日	平成13年9月28日(2001.9.28)
(31) 優先権主張番号	特願2000-302447(P2000-302447)
(32) 優先日	平成12年10月2日(2000.10.2)
(33) 優先権主張国	日本(JP)
(31) 優先権主張番号	特願2000-323453(P2000-323453)
(32) 優先日	平成12年10月24日(2000.10.24)
(33) 優先権主張国	日本(JP)

(71)出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 犬飼 和隆
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

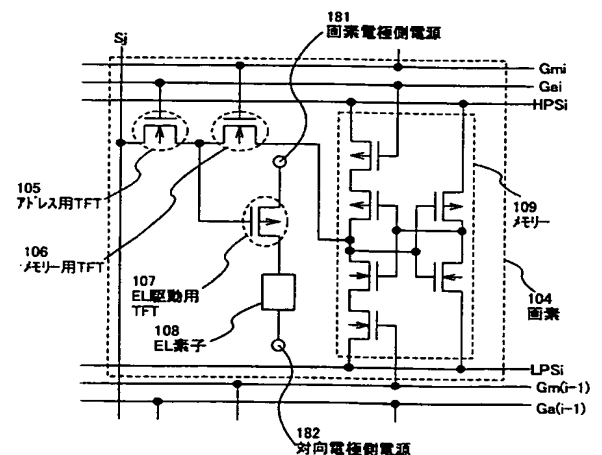
[最終頁に続く](#)

(54) 【発明の名称】 自発光装置及びその駆動方法

(57) 【要約】

【課題】 偽輪郭が発生しにくい自発光装置及びその駆動方法を提供する。

【解決手段】 偽輪郭等の表示妨害の視認を防止するために、長いサブフレーム期間から順に分割し、分割されたサブフレーム期間（分割サブフレーム期間）が連続して出現しないように1フレーム期間内に分散させた。そして複数の分割サブフレーム期間のうち、最初に出現した分割サブフレーム期間において読み込んだデータを各画素内のメモリーで保持し、他の分割サブフレーム期間において保持しているデータを読み出して表示を行う。上記構成によって、二進コード法による時間分割駆動において顕著な、偽輪郭などの表示妨害が視認されるのを防ぐことができる。



【特許請求の範囲】

【請求項 1】 E L 素子と、メモリと、第 1 の T F T と、第 2 の T F T と、第 3 の T F T とが設けられた画素を複数有する自発光装置であって、前記第 1 の T F T のソース領域とドレイン領域のうち、一方はデジタルビデオ信号が入力され、他方は前記第 3 の T F T のゲート電極に接続されており、前記第 2 の T F T のソース領域とドレイン領域のうち、一方は前記メモリに接続されており、他方は前記第 3 の T F T のゲート電極に接続されており、前記第 3 の T F T のソース領域は第 1 の電源に接続されており、ドレイン領域は前記 E L 素子に接続されていることを特徴とする自発光装置。

【請求項 2】 請求項 1 において、前記メモリは 3 つの n チャネル型 T F T と、 3 つの p チャネル型 T F T とを有していることを特徴とする自発光装置。

【請求項 3】 請求項 2 において、前記 3 つの n チャネル型 T F T のいずれか 1 つは、ゲート電極が前記第 1 の T F T のゲート電極に接続されており、前記 3 つの p チャネル型 T F T のいずれか 1 つのゲート電極は、異なる画素が有する前記第 2 の T F T のゲート電極に接続されていることを特徴とする自発光装置。

【請求項 4】 請求項 2 または請求項 3 において、前記メモリは、ゲート電極が互いに接続された n チャネル型 T F T と p チャネル型 T F T の組を 2 つ有し、前記 n チャネル型 T F T と前記 p チャネル型 T F T は、ドレイン領域が互いに接続されており、前記 n チャネル型 T F T と p チャネル型 T F T の 2 つの組は、ゲート電極が他の一対のドレイン領域に互いに接続されており、前記 n チャネル型 T F T と p チャネル型 T F T の 2 つの組のうち、いずれか一対のドレイン領域が前記第 2 の T F T のソース領域またはドレイン領域に接続されていることを特徴とする自発光装置。

【請求項 5】 E L 素子と、 S R A M と、第 1 の T F T と、第 2 の T F T と、第 3 の T F T とが設けられた画素を複数有する自発光装置であって、前記第 1 の T F T のソース領域とドレイン領域のうち、一方はデジタルビデオ信号が入力され、他方は前記第 3 の T F T のゲート電極に接続されており、前記第 2 の T F T のソース領域とドレイン領域のうち、一方は前記 S R A M に接続されており、他方は前記第 3 の T F T のゲート電極に接続されており、前記第 3 の T F T のソース領域は第 1 の電源に接続されており、ドレイン領域は前記 E L 素子に接続されていることを特徴とする自発光装置。

【請求項 6】 請求項 5 において、前記 S R A M は 2 つの n チャネル型 T F T と、 2 つの p

チャネル型 T F T とを有していることを特徴とする自発光装置。

【請求項 7】 請求項 6 において、前記 S R A M は、ゲート電極が互いに接続された n チャネル型 T F T と p チャネル型 T F T の組を 2 つ有し、前記 n チャネル型 T F T と前記 p チャネル型 T F T は、ドレイン領域が互いに接続されており、前記 n チャネル型 T F T と p チャネル型 T F T の 2 つの組は、ゲート電極が他の一対のドレイン領域に互いに接続されており、

前記 n チャネル型 T F T と p チャネル型 T F T の 2 つの組のうち、いずれか一対のドレイン領域が前記第 2 の T F T のソース領域またはドレイン領域に接続されていることを特徴とする自発光装置。

【請求項 8】 E L 素子と、メモリと、第 1 の T F T と、第 2 の T F T と、第 3 の T F T とが設けられた画素を複数有する自発光装置の駆動方法であって、前記第 1 の T F T を介して前記第 3 の T F T のゲート電極に p ビット目のデジタル信号が入力され、かつ前記第 1 の T F T 及び前記第 2 の T F T を介して前記メモリに前記 p ビット目のデジタル信号が書き込まれる期間を有し、

前記第 1 の T F T を介して前記第 3 の T F T のゲート電極に q ビット目のデジタル信号が入力され、かつ前記メモリに書き込まれた p ビット目のデジタル信号が保持される期間を有し、前記メモリに保持された p ビット目のデジタル信号が読み出され、前記第 3 の T F T のゲート電極に入力される期間を有し、

前記 p ビット目のデジタル信号と、前記 q ビット目のデジタル信号とによって、前記第 3 の T F T のスイッチングが制御されることで、前記 E L 素子の発光が制御されていることを特徴とする自発光装置の駆動方法。

【請求項 9】 E L 素子と、メモリと、第 1 の T F T と、第 2 の T F T と、第 3 の T F T とが設けられた画素を複数有する自発光装置の駆動方法であって、前記第 1 の T F T によってデジタルビデオ信号の前記画素への入力制御されており、

前記画素へ入力されたデジタルビデオ信号のうち、一部のビットは、前記第 2 の T F T によって、前記メモリへの書き込み及び前記メモリからの読み出しが制御されており、

前記メモリから読み出された一部のビットのデジタルビデオ信号、または前記画素へ入力されたデジタルビデオ信号によって、前記第 3 の T F T のスイッチングが制御されており、

前記第 3 の T F T によって前記 E L 素子の発光が制御されていることを特徴とする自発光装置の駆動方法。

【請求項 10】 E L 素子と、メモリとが設けられた画素を複数有する自発光装置の駆動方法であって、

1 フレーム期間に複数のサブフレーム期間が設けられており、

前記複数のサブフレーム期間のうち、少なくとも1つは複数の分割サブフレーム期間からなっており、

前記複数の分割サブフレーム期間のうちの少なくとも1つにおいて、前記メモリにデジタルビデオ信号が書き込まれており、

前記メモリにデジタルビデオ信号が書き込まれた分割サブフレーム期間の後に出現する分割サブフレーム期間において、前記メモリから前記デジタルビデオ信号が読み出されており、

前記EL素子は、前記画素に入力されたデジタルビデオ信号、または前記読み出されたデジタルビデオ信号によって発光が制御されていることを特徴とする自発光装置の駆動方法。

【請求項11】請求項8乃至請求項10のいずれか1項において、

前記メモリは3つのnチャネル型TFTと、3つのpチャネル型TFTとを有していることを特徴とする自発光装置の駆動方法。

【請求項12】EL素子と、SRAMと、第1のTFTと、第2のTFTと、第3のTFTとが設けられた画素を複数有する自発光装置の駆動方法であって、

前記第1のTFTを介して前記第3のTFTのゲート電極にpビット目のデジタル信号が入力され、かつ前記第1のTFT及び前記第2のTFTを介して前記SRAMに前記pビット目のデジタル信号が書き込まれる期間を有し、

前記第1のTFTを介して前記第3のTFTのゲート電極にqビット目のデジタル信号が入力され、かつ前記SRAMに書き込まれたpビット目のデジタル信号が保持される期間を有し、

前記SRAMに保持されたpビット目のデジタル信号が読み出され、前記第3のTFTのゲート電極に入力される期間を有し、

前記pビット目のデジタル信号と、前記qビット目のデジタル信号とによって、前記第3のTFTのスイッチングが制御されることで、前記EL素子の発光が制御されていることを特徴とする自発光装置の駆動方法。

【請求項13】EL素子と、SRAMと、第1のTFTと、第2のTFTと、第3のTFTとが設けられた画素を複数有する自発光装置の駆動方法であって、

前記第1のTFTによってデジタルビデオ信号の前記画素への入力制御されており、

前記画素へ入力されたデジタルビデオ信号のうち、一部のビットは、前記第2のTFTによって、前記SRAMへの書き込み及び前記SRAMからの読み出しが制御されており、

前記SRAMから読み出された一部のビットのデジタルビデオ信号、または前記画素へ入力されたデジタルビデ

オ信号によって、前記第3のTFTのスイッチングが制御されており、

前記第3のTFTによって前記EL素子の発光が制御されていることを特徴とする自発光装置の駆動方法。

【請求項14】EL素子と、SRAMとが設けられた画素を複数有する自発光装置の駆動方法であって、

1 フレーム期間に複数のサブフレーム期間が設けられており、

前記複数のサブフレーム期間のうち、少なくとも1つは複数の分割サブフレーム期間からなっており、

前記複数の分割サブフレーム期間のうちの少なくとも1つにおいて、前記SRAMにデジタルビデオ信号が書き込まれており、

前記SRAMにデジタルビデオ信号が書き込まれた分割サブフレーム期間の後に出現する分割サブフレーム期間において、前記SRAMから前記デジタルビデオ信号が読み出されており、

前記EL素子は、前記画素に入力されたデジタルビデオ信号、または前記読み出されたデジタルビデオ信号によって発光が制御されていることを特徴とする自発光装置の駆動方法。

【請求項15】請求項12乃至請求項14のいずれか1項において、

前記SRAMは2つのnチャネル型TFTと、2つのpチャネル型TFTとを有していることを特徴とする自発光装置の駆動方法。

【請求項16】請求項8乃至請求項15のいずれか1項において、

前記複数の分割サブフレーム期間は、連続して出現しないことを特徴とする自発光装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に形成されたEL素子を、該基板とカバー材の間に封入したELパネルに関する。また、該ELパネルにICを実装したELモジュールに関する。なお本明細書において、ELパネル及びELモジュールを自発光装置と総称する。本発明はさらに、該自発光装置を用いた電子機器に関する。

【0002】

【従来の技術】EL素子は、自ら発光するため視認性が高く、液晶ディスプレイ(LCD)で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年、EL素子を用いた自発光装置はCRTやLCDに代わる表示装置として注目されている。

【0003】EL素子は、電場を加えることで発生するルミネッセンス(Electro Luminescence)が得られる有機化合物を含む層(以下、EL層と記す)と、陽極層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光

(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明の自発光装置では、どちらの発光を用いていても良い。

【0004】なお、本明細書では、陽極と陰極の間に設けられた全ての層をEL層と定義する。EL層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にEL素子は、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

【0005】また本明細書において、EL素子が発光することを、EL素子が駆動すると呼ぶ。また、本明細書中では、陽極、EL層及び陰極で形成される素子をEL素子と呼ぶ。

【0006】ところで、EL素子を有する自発光装置の駆動方法には、主にアナログ駆動とデジタル駆動とがある。特にデジタル駆動は、放送電波のデジタル化に対応して、画像情報を有するデジタルのビデオ信号(デジタルビデオ信号)を、アナログに変換せずにそのまま用いて画像を表示することが可能なため、有望である。

【0007】デジタルビデオ信号が有する2値の電圧により階調表示を行う駆動方法には、面積分割駆動法と、時間分割駆動法とが挙げられる。

【0008】面積分割駆動法とは、1画素を複数の副画素に分割し、各副画素をデジタルビデオ信号に基づいて独立に駆動させることによって階調表示を行う駆動法である。この面積分割駆動法は、1画素が複数の副画素に分割されていなければならない、さらに各副画素を独立して駆動するために、各副画素にそれぞれ対応する画素電極を設ける必要がある。そのために画素の構造が複雑になるという不都合が生じる。

【0009】一方、時間分割駆動法とは、画素の点灯する長さを制御することで階調表示を行う駆動法である。具体的には、1フレーム期間を複数のサブフレーム期間に分割する。そして、各サブフレーム期間において、デジタルビデオ信号により各画素が点灯するかしないかが選択される。1フレーム期間中に出現する全てのサブフレーム期間のうち、画素が点灯したサブフレーム期間の長さを積算することで、該画素の階調が求められる。

【0010】一般的に、有機EL材料は液晶などに比べて応答速度が速いため、EL素子は時間分割駆動に適している。

【0011】

【発明が解決しようとする課題】以下に、単純な二進コード法による時間分割駆動で中間階調を表示した場合について、図27を用いて詳しく説明する。

【0012】図27(A)に一般的な自発光装置の画素部を示し、図27(B)に、該画素部において、1フレーム期間中に出現する全てのサブフレーム期間の長さを

示す。

【0013】図27では、1～64階調の表示が可能な6ビットのデジタルビデオ信号を用いて画像を表示している。画素部の右半分が33(32+1)階調の表示を行っており、左半分が32(31+1)階調の表示を行っている。

【0014】6ビットのデジタルビデオ信号を用いる場合、一般的に1フレーム期間中に6つのサブフレーム期間SF1～SF6が出現する。そしてデジタルビデオ信号の1～6ビット目のデジタルビデオ信号は、それぞれサブフレーム期間SF1～SF6に対応している。

【0015】サブフレーム期間SF1～SF6の長さの比は、 $2^0 : 2^1 : 2^2 : 2^3 : 2^4 : 2^5$ となる。最上位ビット(この場合6ビット目)のデジタルビデオ信号に対応するサブフレーム期間SFの長さが一番長く、最下位ビット(1ビット目)のデジタルビデオ信号に対応するサブフレーム期間の長さが一番短い。

【0016】32階調の表示を行う場合、サブフレーム期間SF2～SF6において画素を点灯の状態にし、サブフレーム期間SF1において画素を非点灯の状態にする。また33階調の表示を行う場合、サブフレーム期間SF2～SF6において画素を非点灯の状態にし、サブフレーム期間SF1において画素を点灯の状態にする。

【0017】この駆動を行った場合、画素部において32階調の表示を行っている部分と33階調の表示を行っている部分との境界部で、偽輪郭が視認されることがある。

【0018】偽輪郭とは、二進コード法による時間階調表示を行ったときに度々視認される不自然な輪郭線であって、人間の視覚の特性によって生じる知覚輝度の変動が主な原因とされている。図28を用いて、偽輪郭の発生のメカニズムについて詳しく説明する。

【0019】図28(A)に偽輪郭が発生して見える自発光装置の画素部を示し、図28(B)に、該画素部において、1フレーム期間中に出現するサブフレーム期間の長さの比を示す。

【0020】図28では、1～64階調の表示が可能な6ビットのデジタルビデオ信号を用いて画像を表示している。画素部の右半分が33階調の表示を行っており、左半分が32階調の表示を行っている。

【0021】画素部の32階調の表示を行っている部分では、1フレーム期間の31/63の期間において画素が点灯の状態であり、1フレーム期間の32/63の期間において画素が非点灯の状態である。そして画素が点灯の状態の期間と、非点灯の状態の期間とが交互に出現している。

【0022】また、画素部の33階調の表示を行っている部分では、1フレーム期間の32/63の期間において画素が点灯の状態であり、1フレーム期間の31/63の期間において画素が非点灯の状態である。そして画

素が点灯の状態の期間と、非点灯の状態の期間とが交互に出現している。

【0023】動画を表示する場合、例えば図28(A)において、32階調を表示している部分と33階調を表示している部分の境界が、点線の方に移動したとする。つまり境界付近において、画素は32階調の表示から33階調の表示に切り替わる。すると、境界付近の画素では、32階調を表示するための点灯期間の直後に33階調を表示するための点灯期間が開始される。そのため人間の目には、該画素が1フレーム期間連続して点灯しているように見える。これは画面上に不自然な明るい線として知覚される。

【0024】また逆に、例えば図28(A)において、32階調を表示している部分と33階調を表示している部分の境界が、実線の方に移動したとする。つまり境界付近において、画素は33階調の表示から32階調の表示に切り替わる。すると、境界付近の画素では、33階調を表示するための点灯期間の直後に32階調を表示するための点灯期間が開始される。そのため人間の目には、該画素が1フレーム期間連続して非点灯の状態に見える。これは画面上に不自然な暗い線として知覚される。

【0025】以上のような、画面上に現れて見える不自然な明るい線や暗い線が、偽輪郭(動画偽輪郭)と呼ばれる表示妨害である。

【0026】ところで、静止画においても、動画において動画偽輪郭が発生するのと同じ原因により、表示妨害が視認されてしまうことがある。静止画における表示妨害は、階調の境界が揺れ動いて見えるというものである。以下、静止画においてこのような表示妨害が視認される理由を簡単に述べる。

【0027】人間の目は一点を凝視しているつもりでも、視点は微妙に動いており、定まった一点を正確に見つめることは難しい。そのため、画素部の32階調の表示を行っている部分と、33階調の表示を行っている部分との境目を目で凝視したとき、境目を見つめているつもりでも、実際には視点が左右上下に微妙に動いてしまう。

【0028】例えば、視点が32階調の表示を行っている部分から、33階調の表示を行っている部分に移動したとする。そして視点が32階調を表示している部分に置かれたときに画素が非点灯の状態、視点が33階調を表示している部分に置かれたときに画素が非点灯の状態だった場合、人間の目には1フレーム期間を通して、画素がずっと非点灯の状態であったかのように視認されてしまう。

【0029】逆に例えば、視点が33階調の表示を行っている部分から、32階調の表示を行っている部分に移動したとする。そして視点が33階調を表示している部分に置かれたときに画素が点灯の状態、視点が32階

調を表示している部分に置かれたときに画素が点灯の状態だった場合、人間の目には1フレーム期間を通して、画素がずっと点灯の状態であったかのように視認されてしまう。

【0030】したがって、視点が左右上下に微妙に動いてしまうために、人間の目には1フレーム期間を通して画素がずっと点灯の状態、または非点灯の状態であったかのように見え、あたかも境界部が揺れ動いているように表示妨害が視認されてしまう。

【0031】

【課題を解決するための手段】本発明者らは、偽輪郭等の表示妨害の視認を防止するために、期間が長いサブフレーム期間を分割した。そしてなおかつ、分割されたサブフレーム期間(分割サブフレーム期間)が連続して出現しないように、1フレーム期間内に分散させた。

【0032】分割するサブフレーム期間は1つでも複数でも良い。ただし上位ビットに対応するサブフレーム期間、言いかえると長さの長いサブフレーム期間から順に分割することが好ましい。

【0033】また、サブフレーム期間の分割数は設計者が適宜選択可能であるが、いくつまで分割するかは、自発光装置の駆動速度と、要求される画像の表示品質とのバランスによって決めるのが好ましい。

【0034】また同じビットのデジタルビデオ信号に対応する、分割したサブフレーム期間の長さは同じであることが望ましいが、本発明はこれに限定されない。分割サブフレーム期間の長さは必ずしも同じである必要はない。

【0035】そして上記駆動方法を、各画素内にメモリーを形成することで実現した。

【0036】上記構成によって、二進コード法による時間分割駆動において顕著な、偽輪郭などの表示妨害が視認されるのを防ぐことができる。以下に、その理由について説明する。

【0037】図1(A)に自発光装置の画素部を示し、図1(B)に、該画素部において、1フレーム期間(F)中に出現するサブフレーム期間SFの長さの比を示す。

【0038】図1では、1~2ⁿ階調の表示が可能なnビットのデジタルビデオ信号を用いて、画像を表示している。画素部の右半分が2ⁿ⁻¹+1階調の表示を行っており、左半分が2ⁿ⁻¹階調の表示を行っている。

【0039】nビットのデジタルビデオ信号を用いる場合、単純な二進コード法によれば、1フレーム期間中にn個のサブフレーム期間SF1~SF_nが出現する。そしてデジタルビデオ信号の1~nビット目のデジタルビデオ信号は、それぞれサブフレーム期間SF1~SF_nに対応している。

【0040】サブフレーム期間SF1~SF_nの長さの比は、2⁰:2¹:2²:...:2ⁿ⁻²:2ⁿ⁻¹となる。最上

位ビット（この場合 n ビット目）のデジタルビデオ信号に対応するサブフレーム期間 SF_n の長さが一番長く、最下位ビット（1ビット目）のデジタルビデオ信号に対応するサブフレーム期間 SF_1 の長さが一番短い。

【0041】 2^{n-1} 階調の表示を行う場合、サブフレーム期間 $SF_1 \sim SF_{(n-1)}$ において画素を点灯の状態にし、サブフレーム期間 SF_n において画素を非点灯の状態にする。また $2^{n-1}+1$ 階調の表示を行う場合、サブフレーム期間 $SF_1 \sim SF_{(n-1)}$ において画素を非点灯の状態にし、サブフレーム期間 SF_n において画素を点灯の状態にする。

【0042】そして、一番長いサブフレーム期間であるサブフレーム期間 SF_n が2つに分割されている。なおここでは、サブフレーム期間 SF_n を2つの分割サブフレーム期間に分割しているが、本発明はこれに限定されない。サブフレーム期間の分割数は、駆動回路や画素のTFTの動作速度が追いつく限り、いくつでも良い。

【0043】分割されたサブフレーム期間（分割サブフレーム期間）は連続して出現せず、必ず間に他のビットのデジタルビデオ信号に対応するサブフレーム期間が出現するようにする。

【0044】なお分割されたサブフレーム期間の長さは全て同じでなくとも良い。また、サブフレーム期間の並び順は、必ずしも制限を設けない。上位ビットに対応したサブフレーム期間から、下位ビットに対応したサブフレーム期間の順に並べるとは限らない。

【0045】図2（A）に本発明の駆動方法で表示を行う自発光装置の画素部を示し、図2（B）に、該画素部において、1フレーム期間中に出現するサブフレーム期間や分割サブフレーム期間を、画素が点灯する期間と点灯しない（非点灯の）期間とに分けて、それぞれの期間の長さを示す。

【0046】図2（A）では、画素部の右半分が $2^{n-1}+1$ 階調の表示を行っており、左半分が 2^{n-1} 階調の表示を行っている。

【0047】画素部の 2^{n-1} 階調の表示を行っている部分では、1フレーム期間中の $(2^{n-1}-1)/2^n$ の期間において画素が点灯の状態であり、1フレーム期間中の $2^{n-1}/2^n$ の期間において画素が非点灯の状態である。そして画素が点灯の状態の期間と、非点灯の状態の期間とが交互に出現している。

【0048】また、画素部の $2^{n-1}+1$ 階調の表示を行っている部分では、1フレーム期間中の $2^{n-1}/2^n$ の期間において画素が点灯の状態であり、1フレーム期間中の $(2^{n-1}-1)/2^n$ の期間において画素が非点灯の状態である。そして画素が点灯の状態の期間と、非点灯の状態の期間とが交互に出現している。

【0049】人間の視点は左右上下に微妙に動いて、たまたま別のサブフレーム期間または分割サブフレーム期間にまたがっていたりすることも十分起こりうる。こ

いった場合に、人間の視点が非点灯の画素のみを連続して凝視したり、逆に点灯している画素のみを連続して凝視してしまったとしても、1フレーム期間中に点灯期間と非点灯期間とが分割されて交互に出現するので、連続する点灯期間もしくは非点灯期間の長さが、従来の単純な二進コード法による駆動に比べて短いため、偽輪郭の視認を防止することができる。

【0050】例えば、破線で示したように、視点が 2^{n-1} 階調を表示している部分から、 $2^{n-1}+1$ 階調を表示している部分に移動したとする。そして本発明の駆動方法では、視点が 2^{n-1} 階調を表示している部分に置かれたときに画素が非点灯の状態であり、なおかつ視点が $2^{n-1}+1$ 階調を表示している部分に移動したときに画素が非点灯の状態であったとしても、連続して出現する2つの非点灯期間の和が従来に比べて短くなる。そのため、人間の目には1フレーム期間を通して、画素がずっと非点灯の状態であったかのように視認されてしまうのを防ぐことができる。

【0051】逆に例えば、実線で示したように、視点が $2^{n-1}+1$ 階調を表示している部分から、 2^{n-1} 階調を表示している部分に移動したとする。そして本発明の駆動方法では、視点が $2^{n-1}+1$ 階調を表示している部分に置かれたときに画素が点灯の状態であり、なおかつ視点が 2^{n-1} 階調を表示している部分に移動したときに画素が点灯の状態であったとしても、連続して出現する2つの点灯期間の和が従来に比べて短くなる。そのため、人間の目には1フレーム期間を通して、画素がずっと点灯の状態であったかのように視認されてしまうのを防ぐことができる。

【0052】上記構成によって、二進コード法による時間分割駆動において顕著な、偽輪郭などの表示妨害が視認されるのを防ぐことができる。

【0053】以下に、本発明の構成を示す。

【0054】本発明によって、EL素子と、メモリと、第1のTFTと、第2のTFTと、第3のTFTとが設けられた画素を複数有する自発光装置であって、前記第1のTFTのソース領域とドレイン領域のうち、一方はデジタルビデオ信号が入力され、他方は前記第3のTFTのゲート電極に接続されており、前記第2のTFTのソース領域とドレイン領域のうち、一方は前記メモリに接続されており、他方は前記第3のTFTのゲート電極に接続されており、前記第3のTFTのソース領域は第1の電源に接続されており、ドレイン領域は前記EL素子に接続されていることを特徴とする自発光装置が提供される。

【0055】本発明によって、EL素子と、SRAMと、第1のTFTと、第2のTFTと、第3のTFTとが設けられた画素を複数有する自発光装置であって、前記第1のTFTのソース領域とドレイン領域のうち、一方はデジタルビデオ信号が入力され、他方は前記第3の

TFTのゲート電極に接続されており、前記第2のTFTのソース領域とドレイン領域のうち、一方は前記SRAMに接続されており、他方は前記第3のTFTのゲート電極に接続されており、前記第3のTFTのソース領域は第1の電源に接続されており、ドレイン領域は前記EL素子に接続されていることを特徴とする自発光装置が提供される。

【0056】本発明によって、EL素子と、メモリと、第1のTFTと、第2のTFTと、第3のTFTとが設けられた画素を複数有する自発光装置の駆動方法であって、前記第1のTFTを介して前記第3のTFTのゲート電極にpビット目のデジタル信号が入力され、かつ前記第1のTFT及び前記第2のTFTを介して前記メモリに前記pビット目のデジタル信号が書き込まれる期間を有し、前記第1のTFTを介して前記第3のTFTのゲート電極にqビット目のデジタル信号が入力され、かつ前記メモリに書き込まれたpビット目のデジタル信号が保持される期間を有し、前記メモリに保持されたpビット目のデジタル信号が読み出され、前記第3のTFTのゲート電極に入力される期間を有し、前記pビット目のデジタル信号と、前記qビット目のデジタル信号とによって、前記第3のTFTのスイッチングが制御されることで、前記EL素子の発光が制御されていることを特徴とする自発光装置の駆動方法が提供される。

【0057】本発明によって、EL素子と、メモリと、第1のTFTと、第2のTFTと、第3のTFTとが設けられた画素を複数有する自発光装置の駆動方法であって、前記第1のTFTによってデジタルビデオ信号の前記画素への入力制御されており、前記画素へ入力されたデジタルビデオ信号のうち、一部のビットは、前記第2のTFTによって、前記メモリへの書き込み及び前記メモリからの読み出しが制御されており、前記メモリから読み出された一部のビットのデジタルビデオ信号、または前記画素へ入力されたデジタルビデオ信号によって、前記第3のTFTのスイッチングが制御されており、前記第3のTFTによって前記EL素子の発光が制御されていることを特徴とする自発光装置の駆動方法が提供される。

【0058】本発明によって、EL素子と、メモリとが設けられた画素を複数有する自発光装置の駆動方法であって、1フレーム期間に複数のサブフレーム期間が設けられており、前記複数のサブフレーム期間のうち、少なくとも1つは複数の分割サブフレーム期間からなっており、前記複数の分割サブフレーム期間のうち、少なくとも1つにおいて、前記メモリにデジタルビデオ信号が書き込まれており、前記メモリにデジタルビデオ信号が書き込まれた分割サブフレーム期間の後に出現する分割サブフレーム期間において、前記メモリから前記デジタルビデオ信号が読み出されており、前記EL素子

は、前記画素に入力されたデジタルビデオ信号、または前記読み出されたデジタルビデオ信号によって発光が制御されていることを特徴とする自発光装置の駆動方法が提供される。

【0059】本発明によって、EL素子と、SRAMと、第1のTFTと、第2のTFTと、第3のTFTとが設けられた画素を複数有する自発光装置の駆動方法であって、前記第1のTFTを介して前記第3のTFTのゲート電極にpビット目のデジタル信号が入力され、かつ前記第1のTFT及び前記第2のTFTを介して前記SRAMに前記pビット目のデジタル信号が書き込まれる期間を有し、前記第1のTFTを介して前記第3のTFTのゲート電極にqビット目のデジタル信号が入力され、かつ前記SRAMに書き込まれたpビット目のデジタル信号が保持される期間を有し、前記SRAMに保持されたpビット目のデジタル信号が読み出され、前記第3のTFTのゲート電極に入力される期間を有し、前記pビット目のデジタル信号と、前記qビット目のデジタル信号とによって、前記第3のTFTのスイッチングが制御されることで、前記EL素子の発光が制御されていることを特徴とする自発光装置の駆動方法が提供される。

【0060】本発明によって、EL素子と、SRAMと、第1のTFTと、第2のTFTと、第3のTFTとが設けられた画素を複数有する自発光装置の駆動方法であって、前記第1のTFTによってデジタルビデオ信号の前記画素への入力制御されており、前記画素へ入力されたデジタルビデオ信号のうち、一部のビットは、前記第2のTFTによって、前記SRAMへの書き込み及び前記SRAMからの読み出しが制御されており、前記SRAMから読み出された一部のビットのデジタルビデオ信号、または前記画素へ入力されたデジタルビデオ信号によって、前記第3のTFTのスイッチングが制御されており、前記第3のTFTによって前記EL素子の発光が制御されていることを特徴とする自発光装置の駆動方法が提供される。

【0061】本発明によって、EL素子と、SRAMとが設けられた画素を複数有する自発光装置の駆動方法であって、1フレーム期間に複数のサブフレーム期間が設けられており、前記複数のサブフレーム期間のうち、少なくとも1つは複数の分割サブフレーム期間からなっており、前記複数の分割サブフレーム期間のうち、少なくとも1つにおいて、前記SRAMにデジタルビデオ信号が書き込まれており、前記SRAMにデジタルビデオ信号が書き込まれた分割サブフレーム期間の後に出現する分割サブフレーム期間において、前記SRAMから前記デジタルビデオ信号が読み出されており、前記EL素子は、前記画素に入力されたデジタルビデオ信号、または前記読み出されたデジタルビデオ信号によって発光が制御されていることを特徴とする自発光装置の駆動方法が

提供される。

【0062】本発明は、前記メモリーが3つのnチャネル型TFTと、3つのpチャネル型TFTとを有していることを特徴としていても良い。

【0063】本発明は、前記3つのnチャネル型TFTのいずれか1つが、ゲート電極が前記第1のTFTのゲート電極に接続されており、前記3つのpチャネル型TFTのいずれか1つのゲート電極が、異なる画素が有する前記第2のTFTのゲート電極に接続されていることを特徴としていても良い。

【0064】本発明は、前記メモリーが、ゲート電極が互いに接続されたnチャネル型TFTとpチャネル型TFTの組を2つ有し、前記nチャネル型TFTと前記pチャネル型TFTが、ドレイン領域が互いに接続されており、前記nチャネル型TFTとpチャネル型TFTの2つの組が、ゲート電極が他の一対のドレイン領域に互いに接続されており、前記nチャネル型TFTとpチャネル型TFTの2つの組のうち、いずれか一対のドレイン領域が前記第2のTFTのソース領域またはドレイン領域に接続されていることを特徴としていても良い。

【0065】本発明は、前記SRAMが2つのnチャネル型TFTと、2つのpチャネル型TFTとを有していることを特徴としていても良い。

【0066】本発明は、前記SRAMが、ゲート電極が互いに接続されたnチャネル型TFTとpチャネル型TFTの組を2つ有し、前記nチャネル型TFTと前記pチャネル型TFTが、ドレイン領域が互いに接続されており、前記nチャネル型TFTとpチャネル型TFTの2つの組が、ゲート電極が他の一対のドレイン領域に互いに接続されており、前記nチャネル型TFTとpチャネル型TFTの2つの組のうち、いずれか一対のドレイン領域が前記第2のTFTのソース領域またはドレイン領域に接続されていることを特徴としていても良い。

【0067】本発明は、前記複数の分割サブフレーム期間が、連続して出現しないことを特徴としていても良い。

【0068】

【発明の実施の形態】以下、本発明の構成について説明する。

【0069】（実施の形態1）

【0070】図3は本発明の自発光装置のブロック図であり、100は画素部、101はソース信号線駆動回路、102はアドレス用ゲート信号線駆動回路、103はメモリー用ゲート信号線駆動回路である。

【0071】画素部100の詳しい構成を図4に示す。画素部100はソース信号線 $S_1 \sim S_x$ と、アドレス用ゲート信号線 $G_{a1} \sim G_{ay}$ と、メモリー用ゲート信号線 $G_{m1} \sim G_{my}$ と、高電圧側電源線 $HPS_1 \sim HPS_y$ と、低電圧側電源線 $LPS_1 \sim LPS_y$ とを有している。

【0072】ソース信号線、アドレス用ゲート信号線、メモリー用ゲート信号線、高電圧側電源線及び低電圧側電源線を、それぞれ1つずつ有する領域が画素104である。画素部100には、マトリクス状に複数の画素104が設けられている。

【0073】画素104の詳しい構成を図5に示す。図5に示すのは複数の画素104のうちの任意の1つであり、ソース信号線 S_j （ $S_1 \sim S_x$ のうちの1つ）、アドレス用ゲート信号線 G_{ai} （ $G_{a1} \sim G_{ay}$ のうちの1つ）、メモリー用ゲート信号線 G_{mi} （ $G_{m1} \sim G_{my}$ のうちの1つ）、高電圧側電源線 HPS_i （ $HPS_1 \sim HPS_y$ のうちの1つ）及び低電圧側電源線 LPS_i （ $LPS_1 \sim LPS_y$ のうちの1つ）を有している。

【0074】高電圧側電源線 $HPS_1 \sim HPS_y$ は高電圧側電源に、低電圧側電源線 $LPS_1 \sim LPS_y$ は低電圧側電源に接続されている。

【0075】また画素104は、アドレス用TFT105、メモリー用TFT106、EL駆動用TFT107、EL素子108及びメモリー109を有している。

【0076】アドレス用TFT105のゲート電極はアドレス用ゲート信号線 G_{ai} に接続されている。また、アドレス用TFT105のソース領域とドレイン領域は、一方はソース信号線 S_j に、もう一方はEL駆動用TFT107のゲート電極に接続されている。

【0077】また、メモリー用TFT106のゲート電極はメモリー用ゲート信号線 G_{mi} に接続されている。また、メモリー用TFT106のソース領域とドレイン領域は、一方はEL駆動用TFT107のゲート電極に、もう一方はメモリー109に接続されている。つまり、アドレス用TFT105のソース領域とドレイン領域のうちのソース信号線 S_j に接続されていない側と、メモリー用TFT106のソース領域とドレイン領域のうちのメモリー109に接続されていない側とは接続されている。

【0078】EL駆動用TFT107のソース領域は画素電極側電源181に接続されており、ドレイン領域はEL素子108が有する画素電極に接続されている。EL素子108は、画素電極と、対向電極と、画素電極と対向電極の間に設けられたEL層とを有している。EL素子108の対向電極は、対向電極側電源182に接続されている。

【0079】画素電極側電源181と対向電極側電源182の電位は、画素電極側電源181の電位がEL素子108の画素電極に与えられたときに、EL素子108が発光する程度に、互いに電位差を有している。

【0080】なお図5ではEL駆動用TFT107がpチャネル型TFTの場合について示しているが、本実施の形態はこの構成に限定されない。EL駆動用TFT107はnチャネル型TFTであっても良い。

【0081】なお、EL駆動用TFT107がpチャネ

ル型TFTの場合、EL駆動用TFT107のソース領域に接続される画素電極側電源181を高電圧側電源と共通にし、EL素子108の対向電極に接続される対向電極側電源182を低電圧側電源と共通にする構成にしても良い。

【0082】EL駆動用TFT107がnチャネル型TFTの場合、EL駆動用TFT107のソース領域に接続される画素電極側電源181を低電圧側電源と共通にし、EL素子108の対向電極に接続される対向電極側電源182を高電圧側電源と共通にする構成にしても良い。

【0083】また、EL素子の画素電極と対向電極は、一方が陽極であり、他方が陰極である。EL駆動用TFT107がpチャネル型TFTの場合、陽極を画素電極として用い、陰極を対向電極として用いるのが望ましい。逆に、EL駆動用TFT107がnチャネル型TFTの場合、陰極を画素電極として用い、陽極を対向電極として用いるのが望ましい。

【0084】次に、メモリー109の詳しい構成について説明する。図6にメモリー109の詳しい構成を示す。

【0085】メモリー109は3つのpチャネル型TFT110、111、112と、3つのnチャネル型TFT113、114、115とを有している。

【0086】pチャネル型TFT110のソース領域は高電圧側電源線HPSiに、ドレイン領域はpチャネル型TFT111のソース領域に接続されている。またnチャネル型TFT114のソース領域は低電圧側電源線LPSiに、ドレイン領域はnチャネル型TFT113のソース領域に接続されている。

【0087】pチャネル型TFT111のドレイン領域と、nチャネル型TFT113のドレイン領域は、接続点116で接続されている。

【0088】また、pチャネル型TFT112のソース領域は高電圧側電源線HPSiに接続されており、nチャネル型TFT115のソース領域は低電圧側電源線LPSiに接続されている。そしてpチャネル型TFT112のドレイン領域と、nチャネル型TFT115のドレイン領域とが接続点117において接続されている。

【0089】pチャネル型TFT110のゲート電極はアドレス用ゲート信号線Gaiに接続されており、nチャネル型TFT114のゲート電極は、メモリー用ゲート信号線Gm(i-1)に接続されている。

【0090】pチャネル型TFT111とnチャネル型TFT113のゲート電極は接続されており、またそれぞれ接続点117にも接続されている。pチャネル型TFT112とnチャネル型TFT115のゲート電極は接続されており、またそれぞれ接続点116にも接続されている。

【0091】接続点116はメモリー用TFT106の

ソース領域またはドレイン領域と接続されている。

【0092】なお、本実施の形態においてアドレス用TFT105と、メモリー用TFT106とは同じ極性を有していることが必要である。また、アドレス用TFT105と、メモリー用TFT106とは、EL駆動用TFT107と逆の極性を有していることが必要である。

【0093】さらに、メモリー109が有するTFTのうち、アドレス用ゲート信号線Gaiにゲート電極が接続されているTFTと、EL駆動用TFT107とは同じ極性を有していることが必要である。また、メモリー109が有するTFTのうち、隣接する画素が有するメモリー用ゲート信号線Ga(i-1)にゲート電極が接続されているTFTは、アドレス用TFT105及びメモリー用TFT106と同じ極性を有していることが必要である。

【0094】次に、本実施の形態の自発光装置の駆動について、図7を用いて説明する。

【0095】図7では、任意のサブフレーム期間Sft~Sft+2において、EL駆動用TFT107のゲート電極と、接続点116とに入力されているデジタルビデオ信号のビット数を示している。なおサブフレーム期間Sft~Sft+2のうち、サブフレーム期間Sftは2つの分割サブフレーム期間(Sft_1、Sft_2)に分割されて出現している。

【0096】各サブフレーム期間においてEL素子が発光するかしないかは、各サブフレーム期間に対応するデジタルビデオ信号によって制御される。

【0097】分割されたサブフレーム期間Sftのうち、先に出現する分割サブフレーム期間Sft_1において、アドレス用ゲート信号線駆動回路102から出力されるアドレス用選択信号によって、アドレス用ゲート信号線Gai~Gayが順に選択される。

【0098】なお本明細書において、アドレス用ゲート信号線が選択されるとは、該アドレス用ゲート信号線にゲート電極が接続された全てのアドレス用TFT105がオンの状態になることを意味する。

【0099】また同時に、メモリー用ゲート信号線駆動回路103から出力されるメモリー用選択信号によって、メモリー用ゲート信号線Gm1~Gmyも順に選択される。

【0100】本明細書において、メモリー用ゲート信号線が選択されるとは、該メモリー用ゲート信号線にゲート電極が接続された全てのメモリー用TFT106がオンの状態になることを意味する。

【0101】例えばiライン目の画素の場合、分割サブフレーム期間Sft_1において、アドレス用ゲート信号線Gaiとメモリー用ゲート信号線Gmiが同時に選択される。よって、アドレス用ゲート信号線Gaiにゲート電極が接続されたアドレス用TFT105が全てオンになる。また同時に、メモリー用ゲート信号線Gmi

にゲート電極が接続されたメモリー用TFT106が全てオンになる。

【0102】さらに、メモリー109が有するTFTのうち、ゲート電極がアドレス用ゲート信号線Gaiに接続されたTFT（本実施の形態の場合PTFT110）はオフになる。

【0103】そして、メモリー用ゲート信号線Gmiが選択されているときは、メモリー用ゲート信号線Gm(i-1)は選択されていないので、メモリー用ゲート信号線Gm(i-1)にゲート電極が接続されたTFT（本実施の形態の場合NTFT114）はオフになっている。

【0104】そして、tビット目のデジタルビデオ信号が、ソース信号線駆動回路101から各ソース信号線S1~Sxに入力される。

【0105】その結果、アドレス用TFT105を介してEL駆動用TFT107のゲート電極に、tビット目のデジタルビデオ信号が入力される。また同時にメモリー用TFT106を介して、tビット目のデジタルビデオ信号が接続点116に入力され、メモリー109に保持される。

【0106】tビット目のデジタルビデオ信号が各画素のEL駆動用TFT107のゲート電極に入力されると、tビット目のデジタルビデオ信号が有する1または0の情報によって、EL駆動用TFT107のスイッチングが制御される。

【0107】EL駆動用TFT107がオンになると、画素電極側電源181の電位がEL素子108の画素電極に与えられる。なお、EL素子108の対向電極には対向電極側電源182の電位が与えられているため、EL層に画素電極側電源181と、対向電極側電源182の電位差であるEL駆動電圧がかかり、EL素子108は発光する。

【0108】逆にEL駆動用TFT107がオフになると、画素電極側電源181の電位はEL素子108の画素電極に与えられない。よって、EL素子108の画素電極は対向電極の電位と同じに保たれるため、EL素子108は発光しない。

【0109】このように、アドレス用ゲート信号線とメモリー用ゲート信号線が同時に選択される分割サブフレーム期間を、画素及びメモリー書き込み期間と呼ぶ。

【0110】アドレス用ゲート信号線Gaiとメモリー用ゲート信号線Gmiの選択が終了すると、アドレス用TFT105とメモリー用TFT106は共にオフになる。そしてメモリー109が有するTFTのうち、ゲート電極がアドレス用ゲート信号線Gaiに接続されているTFTはオンになる。

【0111】上述した動作を繰り返し、全てのアドレス用ゲート信号線とメモリー用ゲート信号線の選択が終了すると、分割サブフレーム期間SFt_1が終了する。

【0112】次に、サブフレーム期間SFt+1が開始され、アドレス用ゲート信号線駆動回路102から出力されるアドレス用選択信号によって、アドレス用ゲート信号線Gai~Gayが順に選択される。

【0113】例えばiライン目の画素の場合、アドレス用ゲート信号線Gaiが選択されていると、アドレス用ゲート信号線Gaiにゲート電極が接続されたアドレス用TFT105が全てオンになる。

【0114】さらに、メモリー109が有するTFTのうち、ゲート電極がアドレス用ゲート信号線Gaiに接続されたTFT（本実施の形態の場合PTFT110）はオフになる。

【0115】そして、メモリー用ゲート信号線は選択されていないので、メモリー用ゲート信号線Gmiにゲート電極が接続されたメモリー用TFT106が全てオフになっている。またメモリー109が有するTFTのうち、メモリー用ゲート信号線Gm(i-1)にゲート電極が接続されたTFT（本実施の形態の場合NTFT114）はオフになっている。

【0116】そして、各アドレス用ゲート信号線が選択されているとき、t+1ビット目のデジタルビデオ信号が、ソース信号線駆動回路101から各ソース信号線S1~Sxに入力される。その結果、アドレス用TFT105を介してEL駆動用TFT107のゲート電極に、t+1ビット目のデジタルビデオ信号が入力される。

【0117】なおサブフレーム期間SFt+1において、メモリー用TFT106は全てオフなので、分割サブフレーム期間SFt_1においてメモリー109に入力されたtビット目のデジタルビデオ信号は、保持されたままである。

【0118】t+1ビット目のデジタルビデオ信号が各画素のEL駆動用TFT107のゲート電極に入力されると、分割サブフレーム期間SFt_1のときと同様に、t+1ビット目のデジタルビデオ信号によってEL駆動用TFT107のスイッチングが制御され、EL素子108が発光するかしないかが選択される。

【0119】このように、アドレス用ゲート信号線のみが選択され、メモリー用ゲート信号線は選択されない期間を、画素書き込み期間と呼ぶ。

【0120】アドレス用ゲート信号線Gaiの選択が終了すると、アドレス用TFT105はオフになり、メモリー109が有するTFTのうち、ゲート電極がアドレス用ゲート信号線Gaiに接続されたTFT（本実施の形態の場合PTFT110）はオンになる。

【0121】そして、アドレス用ゲート信号線Gai+1の選択が開始される。

【0122】上述した動作を繰り返し、全てのアドレス用ゲート信号線の選択が終了すると、サブフレーム期間SFt+1が終了する。

【0123】次に、分割サブフレーム期間SFt_2が

開始され、メモリー用ゲート信号線駆動回路 103 から出力されるメモリー用選択信号によって、メモリー用ゲート信号線 $Gm1 \sim Gmy$ が順に選択される。このとき、各メモリー用ゲート信号線が選択される期間（選択期間）は、互いに半分づつ重なっている。例えばメモリー用ゲート信号線 $Gm(i-1)$ の選択期間が半分過ぎたところで、次にメモリー用ゲート信号線 Gmi の選択期間が開始される。そして、メモリー用ゲート信号線 $Gm(i-1)$ の選択期間が終了すると、メモリー用ゲート信号線 $Gm(i+1)$ の選択期間が開始される。よってメモリー用ゲート信号線は、最初の 1 つと最後の 1 つを除いて、常に 2 つづつ選択されている。

【0124】なおサブフレーム期間 SFt_2 において、アドレス用ゲート信号線は選択されないの、アドレス用 $TFT105$ はオフになっている。またメモリー 109 が有する TFT のうち、アドレス用ゲート信号線にゲート電極が接続されている TFT （本実施の形態では、 $PTFT110$ ）はオンになる。

【0125】例えば i ライン目の画素の場合、メモリー用ゲート信号線 $Gm(i-1)$ の選択期間の前半において、メモリー 109 が有する TFT のうち、メモリー用ゲート信号線 $Gm(i-1)$ にゲート電極が接続された TFT （本実施の形態では $NTFT114$ ）がオンになる。

【0126】そしてメモリー用ゲート信号線 Gmi の選択期間の前半になると、メモリー用ゲート信号線 Gmi にゲート電極が接続されたメモリー用 $TFT106$ が全てオンになる。すると、メモリー 109 が保持している t ビット目のデジタルビデオ信号が、 EL 駆動用 $TFT107$ のゲート電極に入力される。

【0127】 t ビット目のデジタルビデオ信号が各画素の EL 駆動用 $TFT107$ のゲート電極に入力されると、分割サブフレーム期間 SFt_1 のときと同様に、 t ビット目のデジタルビデオ信号によって EL 駆動用 $TFT107$ のスイッチングが制御され、 EL 素子 108 が発光するかしないかが選択される。

【0128】またメモリー用ゲート信号線 Gmi の選択期間の前半において、メモリー用ゲート信号線 $Gm(i-1)$ は選択されているので、 $NTFT114$ はオンのままである。

【0129】次に、メモリー用ゲート信号線 Gmi の選択期間の後半において、次のメモリー用ゲート信号線 $Gm(i-1)$ の選択期間が終了する。よって、メモリー用ゲート信号線 $Gm(i-1)$ にゲート電極が接続された $NTFT114$ はオフになる。メモリー用ゲート信号線 Gmi にゲート電極が接続されたメモリー用 $TFT106$ はオンのままである。

【0130】このように、メモリー用ゲート信号線のみが選択され、アドレス用ゲート信号線は選択されない期間を、メモリー書き込み期間と呼ぶ。

【0131】上述した動作を繰り返し、全てのメモリー用ゲート信号線の選択が終了すると、分割サブフレーム期間 SFt_2 が終了する。

【0132】そして次に画素及びメモリー書き込み期間である分割サブフレーム期間 $SFt+2_1$ が開始され、アドレス用ゲート信号線と、メモリー用ゲート信号線とが順に選択されていく。

【0133】このように、本実施の形態の自発光装置の駆動方法においては、画素及びメモリー書き込み期間と、画素書き込み期間と、メモリー読み出し期間とが設けられている。

【0134】上述した駆動方法における画素の接続構成を、簡略化して図 8 に示す。

【0135】図 8 (A) は、画素及びメモリー書き込み期間の場合であり、ソース信号線 Sj から入力したデジタルビデオ信号は、オンのアドレス用 $TFT105$ 及びメモリー用 $TFT106$ を介して、 EL 駆動用 $TFT107$ のゲート電極と、メモリー 109 とに入力される。

【0136】図 8 (B) は、画素書き込み期間の場合であり、ソース信号線 Sj から入力したデジタルビデオ信号は、オンのアドレス用 $TFT105$ を介して、 EL 駆動用 $TFT107$ のゲート電極に入力される。メモリー用 $TFT106$ はオフなので、メモリー 109 には前に入力されたデジタルビデオ信号が保持されている。

【0137】図 8 (C) は、メモリー読み出し期間の場合であり、アドレス用 $TFT105$ はオフなのでソース信号線 Sj からのデジタルビデオ信号は EL 駆動用 $TFT107$ のゲート電極に入力されない。メモリー用 $TFT106$ はオンなので、メモリー 109 に保持されているデジタルビデオ信号がメモリー用 $TFT106$ を介して EL 駆動用 $TFT107$ のゲート電極に入力される。

【0138】上述した動作を繰り返すことで、各サブフレーム期間において EL 素子の駆動を制御している。

【0139】また、サブフレーム期間及び分割サブフレーム期間が開始されるタイミングは、各ラインの画素毎に異なっている。図 9 に各ラインの画素において、サブフレーム期間及び分割サブフレーム期間が開始されるタイミングを示す。縦軸は画素の位置を示しており、横軸は時間を示している。

【0140】各ラインの画素ごとに 1 フレーム期間の開始されるタイミングは異なっているが、1 フレーム期間の長さは全ての画素において同じである。

【0141】また各サブフレーム期間の長さは、 $SF1 : SF2 : \dots : SFn = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たしている。サブフレーム期間が複数の分割サブフレーム期間に分割されている場合は、全ての分割された分割サブフレーム期間の和がサブフレーム期間の長さとなす。例えば、サブフレーム期間 SFt が 3 つの分割サブフレーム期間 SFt_1 、 SFt_2 、 SFt_3 から成っているとすると、 $SFt = SFt_1 + SFt_2$

+S F t _3となる。

【0142】本実施の形態の駆動方法では、分割フレーム期間を含む各サブフレーム期間においてEL素子の発光を制御することで、階調を表示する。画素の階調は、1フレーム期間中に占める、発光したサブフレーム期間（点灯期間）の和の割合で決まる。

【0143】上述したように、本実施の形態の自発光装置では、1フレーム期間中に点灯期間と非点灯期間とが分割されて交互に出現する。そのため人間の視点が左右上下に微妙に動いて、非点灯の画素のみを連続して凝視したり、逆に点灯している画素のみを連続して凝視してしまったとしても、連続する点灯期間もしくは非点灯期間の長さが、従来の単純な二進コード法による駆動に比べて短いため、偽輪郭の視認を防止することができる。

【0144】上記構成によって、二進コード法による時間分割駆動において顕著な、偽輪郭などの表示妨害が視認されるのを防ぐことができる。

【0145】なお本実施の形態では、アドレス用ゲート信号線とメモリー用ゲート信号線とを異なるゲート信号線駆動回路（アドレス用ゲート信号線駆動回路102とメモリー用ゲート信号線駆動回路103）で制御しているが、本実施の形態はこれに限定されない。アドレス用ゲート信号線とメモリー用ゲート信号線とを1つのゲート信号線駆動回路で制御しても良い。

【0146】また、本実施の形態において、1つの画素及びメモリー書き込み期間に対してメモリー読み出し期間を1つだけ設ける例について説明したが、本実施の形態はこれに限定されない。メモリー読み出し期間は、間に画素書き込み期間を挟んで複数設けるようにしても良い。

【0147】さらに本実施の形態において、複数の分割サブフレーム期間のうち、最初に出現した分割サブフレーム期間が画素及びメモリー書き込み期間になるような構成を示したが、本実施の形態はこれに限定されない。サブフレーム期間を複数の分割サブフレーム期間に分割した場合、必ずしも最初に出現する分割サブフレーム期間が画素及びメモリー書き込み期間でなくとも良い。また必ずしも分割サブフレーム期間のいずれか1つが画素及びメモリー書き込み期間でなくとも良く、全ての分割サブフレーム期間が画素書き込み期間であっても良い。

【0148】さらに、同じサブフレーム期間から分割された分割サブフレーム期間を連続して出現させなければ、サブフレーム期間や分割サブフレーム期間の出現する順序は、設計者が適宜設定することが可能である。

【0149】また、本実施の形態の自発光装置は、画素内に設けられたメモリーにデジタルビデオ信号が記憶されるので、静止画の場合一度書き込みを行えば、フレーム毎にデジタルビデオ信号の入力を行わなくとも静止画を継続的に表示することができる。すなわち、静止画を表示する際は、最低1フレーム分の信号の処理動作を行

った後にソース信号線駆動回路を停止させておくことが可能となり、それに伴って電力消費を大きく低減することが可能となる。

【0150】（実施の形態2）次に、図3に示した画素部100の、実施の形態1とは異なる構成について説明する。

【0151】本実施の形態の、画素部100の詳しい構成を図10に示す。画素部100はソース信号線S1～Sxと、アドレス用ゲート信号線Ga1～Gayと、メモリー用ゲート信号線Gm1～Gmyと、高電圧側電源線HPS1～HPSyと、低電圧側電源線LPS1～LPSyと、画素電極側電源線Va1～Vayと、対向電極側電源線Vb1～Vbyとを有している。

【0152】ソース信号線、アドレス用ゲート信号線、メモリー用ゲート信号線、高電圧側電源線、低電圧側電源線、画素電極側電源線及び対向電極側電源線を、それぞれ1つつ有する領域が画素304である。画素部100には、マトリクス状に複数の画素304が設けられている。

【0153】画素304の詳しい構成を図11に示す。図11に示すのは複数の画素304のうちの任意の1つであり、ソース信号線Sj（S1～Sxのうちの1つ）、アドレス用ゲート信号線Gai（Ga1～Gayのうちの1つ）、メモリー用ゲート信号線Gmi（Gm1～Gmyのうちの1つ）、高電圧側電源線HPSi（HPS1～HPSyのうちの1つ）、低電圧側電源線LPSi（LPS1～LPSyのうちの1つ）、画素電極側電源線Vai（Va1～Vayのうちの1つ）及び対向電極側電源線Vbi（Vb1～Vbyのうちの1つ）を有している。

【0154】高電圧側電源線HPS1～HPSyは高電圧側電源に、低電圧側電源線LPS1～LPSyは低電圧側電源に接続されている。また、画素電極側電源線Va1～Vayは画素電極側電源に、対向電極側電源線Vb1～Vbyは対向電極側電源にそれぞれ接続されている。

【0155】また画素304は、アドレス用TFT305、メモリー用TFT306、EL駆動用TFT307、EL素子308及びメモリー309を有している。

【0156】アドレス用TFT305のゲート電極はアドレス用ゲート信号線Gaiに接続されている。また、アドレス用TFT305のソース領域とドレイン領域は、一方はソース信号線Sjに、もう一方はEL駆動用TFT307のゲート電極に接続されている。

【0157】また、メモリー用TFT306のゲート電極はメモリー用ゲート信号線Gmiに接続されている。また、メモリー用TFT306のソース領域とドレイン領域は、一方はEL駆動用TFT307のゲート電極に、もう一方はメモリー309に接続されている。つまり、アドレス用TFT305のソース領域とドレイン領

域のうちのソース信号線 S_j に接続されていない側と、メモリー用 TFT 306 のソース領域とドレイン領域のうちのメモリー 309 に接続されていない側とは電氣的に接続されている。

【0158】EL 駆動用 TFT 307 のソース領域は画素電極側電源線 V_{ai} に接続されており、ドレイン領域は EL 素子 308 が有する画素電極に接続されている。EL 素子 308 は、画素電極と、対向電極と、画素電極と対向電極の間に設けられた EL 層とを有している。EL 素子 308 の対向電極は、対向電極側電源線 V_{bi} に

接続されている。

【0159】画素電極側電源線 V_{ai} と対向電極側電源線 V_{bi} の電位は、画素電極側電源線 V_{ai} の電位が EL 素子 308 の画素電極に与えられたときに、EL 素子 308 が発光する程度に、互いに電位差を有している。

【0160】なお図 11 では EL 駆動用 TFT 307 が p チャネル型 TFT の場合について示しているが、本実施の形態はこの構成に限定されない。EL 駆動用 TFT 307 は n チャネル型 TFT であっても良い。

【0161】また、EL 素子の画素電極と対向電極は、一方が陽極であり、他方が陰極である。陽極を画素電極として用い、陰極を対向電極として用いた場合、EL 駆動用 TFT 307 は p チャネル型 TFT の方が好ましい。逆に、陰極を画素電極として用い、陽極を対向電極として用いた場合、EL 駆動用 TFT 307 は n チャネル型 TFT の方が好ましい。

【0162】次に、メモリー 309 の詳しい構成について説明する。図 12 にメモリー 309 の詳しい構成を示す。

【0163】メモリー 309 は 2 つの p チャネル型 TFT (PTFT) 311、312 と、2 つの n チャネル型 TFT (NTFT) 313、314 とを有している。

【0164】p チャネル型 TFT 311、312 のソース領域は、高電圧側電源線 HPS_i にそれぞれ接続されている。また n チャネル型 TFT 313、314 のソース領域は、低電圧側電源線 LPS_i にそれぞれ接続されている。

【0165】p チャネル型 TFT 311 のドレイン領域と、n チャネル型 TFT 313 のドレイン領域は、接続点 316 で接続されている。また、p チャネル型 TFT 312 のドレイン領域と、n チャネル型 TFT 314 のドレイン領域は、接続点 317 で接続されている。

【0166】p チャネル型 TFT 311 と n チャネル型 TFT 313 のゲート電極は、接続点 317 に接続されている。また、p チャネル型 TFT 312 と n チャネル型 TFT 314 のゲート電極は、接続点 316 に接続されている。

【0167】接続点 316 はメモリー用 TFT 306 のソース領域またはドレイン領域と接続されている。

【0168】なお、アドレス用 TFT 305 と、メモリー

一用 TFT 306 とは同じ極性を有している。

【0169】次に、本実施の形態の自発光装置の駆動について、図 13 を用いて説明する。

【0170】図 13 では、任意のサブフレーム期間 $SF_t \sim SF_t + 2$ において、アドレス用ゲート信号線 G_{ai+1} 、 G_{ai} 、 G_{ai-1} に入力される信号の電位と、メモリー用ゲート信号線 G_{mi+1} 、 G_{mi} 、 G_{mi-1} に入力される信号の電位とが示されている。また、前記各サブフレーム期間において、EL 駆動用 TFT 307 のゲート電極と、接続点 316 と

に入力されているデジタルビデオ信号のビット番号を示している。

【0171】なおサブフレーム期間 $SF_t \sim SF_t + 2$ のうち、サブフレーム期間 SF_t は 2 つの分割サブフレーム期間 (SF_t_1 、 SF_t_2) に分割されて出現している。またサブフレーム期間 $SF_t + 2$ も複数の分割サブフレーム期間に分割されて出現しており、図 13 には、最初に出現する分割サブフレーム期間 $SF_t + 2_1$ のみを示す。

【0172】各サブフレーム期間及び各分割サブフレーム期間において EL 素子が発光するかしないかは、各期間に対応するデジタルビデオ信号によって制御される。

【0173】分割されたサブフレーム期間 SF_t のうち、先に出現する分割サブフレーム期間 SF_t_1 において、アドレス用ゲート信号線駆動回路 102 から出力されるアドレス用選択信号によって、アドレス用ゲート信号線 $G_{a1} \sim G_{ay}$ が順に選択される。

【0174】なお本明細書において、アドレス用ゲート信号線が選択されるとは、該アドレス用ゲート信号線にゲート電極が接続された全てのアドレス用 TFT 305 がオンの状態になることを意味する。

【0175】また同時に、メモリー用ゲート信号線駆動回路 103 から出力されるメモリー用選択信号によって、メモリー用ゲート信号線 $G_{m1} \sim G_{my}$ も順に選択される。

【0176】本明細書において、メモリー用ゲート信号線が選択されるとは、該メモリー用ゲート信号線にゲート電極が接続された全てのメモリー用 TFT 306 がオンの状態になることを意味する。

【0177】さらに、高電圧側電源線 $HPS_1 \sim HPS_y$ と低電圧側電源線 $LPS_1 \sim LPS_y$ とが、順に中間電位に保たれる。なお中間電位とは、高電圧側電源線に与えられる最も高い電位と、低電圧側電源線に与えられる最も低い電位との間の電位である。

【0178】例えば i ライン目の画素の場合、分割サブフレーム期間 SF_t_1 において、アドレス用ゲート信号線 G_{ai} とメモリー用ゲート信号線 G_{mi} が同時に選択される。よって、アドレス用ゲート信号線 G_{ai} にゲート電極が接続されたアドレス用 TFT 305 が全てオンになる。また同時に、メモリー用ゲート信号線 G_{mi}

にゲート電極が接続されたメモリー用TFT306が全てオンになる。

【0179】また、高電圧側電源線HPSiと低電圧側電源線LPSiとが、順に中間電位に保たれる。

【0180】そして、tビット目のデジタルビデオ信号が、ソース信号線駆動回路101から各ソース信号線S1~Sxに入力される。

【0181】その結果、アドレス用TFT305を介してEL駆動用TFT307のゲート電極に、tビット目のデジタルビデオ信号が入力される。また同時にメモリー用TFT306を介して、tビット目のデジタルビデオ信号が接続点316に入力され、メモリー309に保持される。

【0182】tビット目のデジタルビデオ信号が各画素のEL駆動用TFT307のゲート電極に入力されると、tビット目のデジタルビデオ信号が有する1または0の情報によって、EL駆動用TFT307のスイッチングが制御される。

【0183】EL駆動用TFT307がオンになると、画素電極側電源線Vaiの電位がEL素子308の画素電極に与えられる。なお、EL素子308の対向電極には対向電極側電源線Vbiの電位が与えられているため、EL層に画素電極側電源線Vaiと対向電極側電源線Vbiの電位差であるEL駆動電圧がかかり、EL素子308は発光する。

【0184】逆にEL駆動用TFT307がオフになると、画素電極側電源線Vaiの電位はEL素子308の画素電極に与えられない。よって、EL素子308の画素電極は対向電極側電源線Vbiの電位と同じに保たれるため、EL素子308は発光しない。

【0185】このように、アドレス用ゲート信号線とメモリー用ゲート信号線が同時に選択される分割サブフレーム期間を、画素及びメモリー書き込み期間と呼ぶ。

【0186】アドレス用ゲート信号線Gaiとメモリー用ゲート信号線Gmiの選択が終了すると、アドレス用TFT305とメモリー用TFT306は共にオフになる。また、高電圧側電源線HPSiと低電圧側電源線LPSiとの電位は、それぞれVddhとVssとに保たれる。なお、Vddh>Vssである。

【0187】そして次に、アドレス用ゲート信号線Gai(i+1)とメモリー用ゲート信号線Gmi(i+1)の選択が開始される。

【0188】上述した動作を繰り返し、全てのアドレス用ゲート信号線とメモリー用ゲート信号線の選択が終了すると、分割サブフレーム期間SFt__1が終了する。

【0189】次に、サブフレーム期間SFt+1が開始され、アドレス用ゲート信号線駆動回路102から出力されるアドレス用選択信号によって、アドレス用ゲート信号線Gai1~Gaiyが順に選択される。

【0190】例えばiライン目の画素の場合、アドレス

用ゲート信号線Gaiが選択されていると、アドレス用ゲート信号線Gaiにゲート電極が接続されたアドレス用TFT305が全てオンになる。

【0191】また、メモリー用ゲート信号線は選択されていないので、メモリー用ゲート信号線Gmiにゲート電極が接続されたメモリー用TFT306は全てオフになっている。

【0192】また、高電圧側電源線HPS1~HPSyと低電圧側電源線LPS1~LPSyの電位は、それぞれVddhとVssとに保たれたままである。

【0193】そして、各アドレス用ゲート信号線が選択されているとき、t+1ビット目のデジタルビデオ信号が、ソース信号線駆動回路101から各ソース信号線S1~Sxに入力される。その結果、アドレス用TFT305を介してEL駆動用TFT307のゲート電極に、t+1ビット目のデジタルビデオ信号が入力される。

【0194】なおサブフレーム期間SFt+1において、メモリー用TFT306は全てオフなので、分割サブフレーム期間SFt__1においてメモリー309に入力されたtビット目のデジタルビデオ信号は、保持されたままである。

【0195】t+1ビット目のデジタルビデオ信号が各画素のEL駆動用TFT307のゲート電極に入力されると、分割サブフレーム期間SFt__1のときと同様に、t+1ビット目のデジタルビデオ信号によってEL駆動用TFT307のスイッチングが制御され、EL素子308が発光するかしないかが選択される。

【0196】このように、アドレス用ゲート信号線のみが選択され、メモリー用ゲート信号線は選択されない期間を、画素書き込み期間と呼ぶ。

【0197】アドレス用ゲート信号線Gaiの選択が終了すると、アドレス用TFT305はオフになる。そして次に、アドレス用ゲート信号線Gai(i+1)の選択が開始される。

【0198】上述した動作を繰り返し、全てのアドレス用ゲート信号線の選択が終了すると、サブフレーム期間SFt+1が終了する。

【0199】次に、分割サブフレーム期間SFt__2が開始され、メモリー用ゲート信号線駆動回路103から出力されるメモリー用選択信号によって、メモリー用ゲート信号線Gm1~Gmyが順に選択される。

【0200】なおサブフレーム期間SFt__2において、アドレス用ゲート信号線は選択されないため、アドレス用TFT305はオフになっている。

【0201】また、高電圧側電源線HPS1~HPSyと低電圧側電源線LPS1~LPSyの電位は、それぞれVddhとVssとに保たれたままである。

【0202】例えばiライン目の画素の場合、メモリー用ゲート信号線Gmiの選択期間において、メモリー用ゲート信号線Gmiにゲート電極が接続されたメモリー

用TFT306が全てオンになる。すると、メモリ309が保持しているtビット目のデジタルビデオ信号が、EL駆動用TFT307のゲート電極に入力される。

【0203】tビット目のデジタルビデオ信号が各画素のEL駆動用TFT307のゲート電極に入力されると、分割サブフレーム期間SFt₁のときと同様に、tビット目のデジタルビデオ信号によってEL駆動用TFT307のスイッチングが制御され、EL素子308が発光するかしないかが選択される。

【0204】このように、メモリ用ゲート信号線のみが選択され、アドレス用ゲート信号線は選択されない期間を、メモリ読み出し期間と呼ぶ。

【0205】メモリ用ゲート信号線G_{m i}の選択が終了すると、メモリ用TFT306はオフになる。そして次に、メモリ用ゲート信号線G_{m (i+1)}の選択が開始される。

【0206】上述した動作を繰り返し、全てのメモリ用ゲート信号線の選択が終了すると、分割サブフレーム期間SFt₂が終了する。

【0207】そして次に画素及びメモリ書き込み期間である分割サブフレーム期間SFt₂₊₁が開始され、アドレス用ゲート信号線と、メモリ用ゲート信号線とが順に選択されていく。

【0208】このように、本実施の形態の自発光装置の駆動方法においては、画素及びメモリ書き込み期間と、画素書き込み期間と、メモリ読み出し期間とが設けられている。

【0209】上述した駆動方法における画素の接続構成を、簡略化して図14に示す。

【0210】図14(A)は、画素及びメモリ書き込み期間の場合であり、ソース信号線S_jから入力したデジタルビデオ信号は、オンのアドレス用TFT305及びメモリ用TFT306を介して、EL駆動用TFT307のゲート電極と、メモリ309とに入力される。

【0211】図14(B)は、画素書き込み期間の場合であり、ソース信号線S_jから入力したデジタルビデオ信号は、オンのアドレス用TFT305を介して、EL駆動用TFT307のゲート電極に入力される。メモリ用TFT306はオフなので、メモリ309には前に入力されたデジタルビデオ信号が保持されている。

【0212】図14(C)は、メモリ読み出し期間の場合であり、アドレス用TFT305はオフなのでソース信号線S_jからのデジタルビデオ信号はEL駆動用TFT307のゲート電極に入力されない。メモリ用TFT306はオンなので、メモリ309に保持されているデジタルビデオ信号がメモリ用TFT306を介してEL駆動用TFT307のゲート電極に入力される。

【0213】上述した動作を繰り返すことで、各サブフレーム期間においてEL素子の駆動を制御している。

【0214】また、サブフレーム期間及び分割サブフレーム期間が開始されるタイミングは、各ラインの画素毎に異なっている。各ラインの画素において、サブフレーム期間及び分割サブフレーム期間が開始されるタイミングは、図9を参照することができる。

【0215】各ラインの画素ごとに1フレーム期間の開始されるタイミングは異なっているが、1フレーム期間の長さは全ての画素において同じである。

【0216】また各サブフレーム期間の長さは、SF₁:SF₂:...:SF_n=2⁰:2¹:...:2ⁿ⁻¹を満たしている。サブフレーム期間が複数の分割サブフレーム期間に分割されている場合は、全ての分割された分割サブフレーム期間の和がサブフレーム期間の長さとなす。例えば、サブフレーム期間SFtが3つの分割サブフレーム期間SFt₁、SFt₂、SFt₃から成っているとすると、SFt=SFt₁+SFt₂+SFt₃となる。

【0217】本実施の形態の駆動方法では、分割フレーム期間を含む各サブフレーム期間においてEL素子の発光を制御することで、階調を表示する。画素の階調は、1フレーム期間中に占める、発光したサブフレーム期間(点灯期間)の和の割合で決まる。

【0218】上述したように、本実施の形態の自発光装置では、1フレーム期間中に点灯期間と非点灯期間とが分割されて交互に出現する。そのため人間の視点が左右上下に微妙に動いて、非点灯の画素のみを連続して凝視したり、逆に点灯している画素のみを連続して凝視してしまったとしても、連続する点灯期間もしくは非点灯期間の長さが、従来の単純な二進コード法による駆動に比べて短いため、偽輪郭の視認を防止することができる。

【0219】上記構成によって、二進コード法による時間分割駆動において顕著な、偽輪郭などの表示妨害が視認されるのを防ぐことができる。

【0220】なお本実施の形態では、アドレス用ゲート信号線とメモリ用ゲート信号線とを異なるゲート信号線駆動回路(アドレス用ゲート信号線駆動回路102とメモリ用ゲート信号線駆動回路103)で制御しているが、本実施の形態はこれに限定されない。アドレス用ゲート信号線とメモリ用ゲート信号線とを同じゲート信号線駆動回路で制御しても良い。

【0221】また、本実施の形態において、1つの画素及びメモリ書き込み期間に対してメモリ読み出し期間を1つだけ設ける例について説明したが、本実施の形態はこれに限定されない。メモリ読み出し期間は、間に画素書き込み期間を挟んで複数設けるようにしても良い。

【0222】さらに本実施の形態において、複数の分割サブフレーム期間のうち、最初に出現した分割サブフレ

ーム期間が画素及びメモリー書き込み期間になるような構成を示したが、本実施の形態はこれに限定されない。サブフレーム期間を複数の分割サブフレーム期間に分割した場合、必ずしも最初に出現する分割サブフレーム期間が画素及びメモリー書き込み期間でなくとも良い。また必ずしも分割サブフレーム期間のいずれか1つが画素及びメモリー書き込み期間でなくとも良く、全ての分割サブフレーム期間が画素書き込み期間であっても良い。

【0223】さらに、同じサブフレーム期間から分割された分割サブフレーム期間を連続して出現させなければ、サブフレーム期間や分割サブフレーム期間の出現する順序は、適宜設定することが可能である。

【0224】また、本実施の形態の自発光装置は、画素及びメモリー書き込み期間以外の期間において、高電圧側電源線と低電圧側電源線の電位は一定である。そのため、画素内に設けられたメモリーはSRAMとして機能するため、デジタルビデオ信号がメモリーに記憶されると、再びデジタルビデオ信号がメモリーに入力されるまで、記憶したデジタルビデオ信号を保持する。よって、1ビットのデジタルビデオ信号を用いた静止画の場合、一度書き込みを行えば、フレーム毎にデジタルビデオ信号の入力を行わなくとも静止画を継続的に表示することができる。すなわち、静止画を表示する際は、最低1フレーム分の信号の処理動作を行った後にソース信号線駆動回路を停止させておくことが可能となり、それに伴って電力消費を低減することが可能となる。

【0225】

【実施例】以下に、本発明の実施例について説明する。

【0226】（実施例1）本実施例では、図4～図6に示した構成を有する本発明の自発光装置を、8ビットのデジタルビデオ信号を用いて駆動させる例について説明する。

【0227】図15は本実施例の駆動方法を簡単に示した図であり、EL駆動用TFT107のゲート電極と、接続点116とに入力されるデジタルビデオ信号のビット番号を示している。なお横軸は時間である。

【0228】BKは、全ての画素において表示を行わないデジタルの信号（非表示信号）を示している。よって、非表示信号は画像情報を有さない。デジタルビデオ信号の代わりに非表示信号がEL駆動用TFT107のゲート電極に入力されると、EL駆動用TFTはオフになり、EL素子は発光しない。なお本明細書において、非表示信号によって全ての画素が表示を行わない期間を非表示期間（BK F）と呼ぶ。

【0229】1フレーム期間が開始されると、まず非表示期間BK F1が開始される。非表示期間BK F1は画素及びメモリー書き込み期間であり、ソース信号線S_jに入力された非表示信号BKはEL駆動用TFT107のゲート電極及びメモリー109に入力される。

【0230】EL駆動用TFT107のゲート電極に非

表示信号BKが入力されると、EL駆動用TFT107はオフになり、EL素子は発光しない。

【0231】次にサブフレーム期間SF1が開始される。サブフレーム期間SF1は画素書き込み期間であり、1ビット目のデジタルビデオ信号がEL駆動用TFT107のゲート電極に入力される。そして1ビット目のデジタルビデオ信号により、EL素子が発光するかしないかが選択される。

【0232】サブフレーム期間SF1においては、メモリー109に非表示信号BKが保持されている。

【0233】次に非表示期間BK F2が開始される。非表示期間BK F2はメモリー読み出し期間であり、メモリー109において保持されている非表示信号BKが読み出され、EL駆動用TFT107のゲート電極に入力される。そして、EL駆動用TFT107のゲート電極に非表示信号BKが入力されると、EL駆動用TFT107はオフになり、EL素子は発光しない。

【0234】次にサブフレーム期間SF2が開始される。サブフレーム期間SF2は画素書き込み期間であるので、2ビット目のデジタルビデオ信号がEL駆動用TFT107のゲート電極に入力される。そして2ビット目のデジタルビデオ信号により、EL素子が発光するかしないかが選択される。

【0235】サブフレーム期間SF2においては、メモリー109に非表示信号BKが保持されている。

【0236】次に非表示期間BK F3が開始される。非表示期間BK F3はメモリー読み出し期間であり、メモリー109において保持されている非表示信号BKが読み出され、EL駆動用TFT107のゲート電極に入力される。そして、EL駆動用TFT107のゲート電極に非表示信号BKが入力されると、EL駆動用TFT107はオフになり、EL素子は発光しない。

【0237】次に分割サブフレーム期間SF8_1が開始される。分割サブフレーム期間SF8_1は画素及びメモリー書き込み期間であり、ソース信号線S_jに入力された8ビット目のデジタルビデオ信号は、EL駆動用TFT107のゲート電極及びメモリー109に入力される。そして8ビット目のデジタルビデオ信号により、EL素子が発光するかしないかが選択される。

【0238】次にサブフレーム期間SF5が開始される。サブフレーム期間SF5は画素書き込み期間であるので、5ビット目のデジタルビデオ信号がEL駆動用TFT107のゲート電極に入力される。そして5ビット目のデジタルビデオ信号により、EL素子が発光するかしないかが選択される。

【0239】サブフレーム期間SF5においては、メモリー109に8ビット目のデジタルビデオ信号が保持されている。

【0240】次に分割サブフレーム期間SF8_2が開始される。分割サブフレーム期間SF8_2はメモリー

読み出し期間であり、メモリー 109 において保持されている 8 ビット目のデジタルビデオ信号が読み出され、EL 駆動用 TFT 107 のゲート電極に入力される。そして 8 ビット目のデジタルビデオ信号により、EL 素子が発光するかしないかが選択される。

【0241】次に分割サブフレーム期間 SF 6__1 が開始される。分割サブフレーム期間 SF 6__1 は画素書き込み期間であるので、6 ビット目のデジタルビデオ信号が EL 駆動用 TFT 107 のゲート電極に入力される。そして 6 ビット目のデジタルビデオ信号により、EL 素子が発光するかしないかが選択される。

【0242】分割サブフレーム期間 SF 6__1 においては、メモリー 109 に 8 ビット目のデジタルビデオ信号が保持されている。

【0243】次に分割サブフレーム期間 SF 8__3 が開始される。分割サブフレーム期間 SF 8__3 はメモリー読み出し期間であり、メモリー 109 において保持されている 8 ビット目のデジタルビデオ信号が読み出され、EL 駆動用 TFT 107 のゲート電極に入力される。そして 8 ビット目のデジタルビデオ信号により、EL 素子が発光するかしないかが選択される。

【0244】次にサブフレーム期間 SF 4 が開始される。サブフレーム期間 SF 4 は画素書き込み期間であるので、4 ビット目のデジタルビデオ信号が EL 駆動用 TFT 107 のゲート電極に入力される。そして 4 ビット目のデジタルビデオ信号により、EL 素子が発光するかしないかが選択される。

【0245】サブフレーム期間 SF 4 においては、メモリー 109 に 8 ビット目のデジタルビデオ信号が保持されている。

【0246】次に分割サブフレーム期間 SF 8__4 が開始される。分割サブフレーム期間 SF 8__4 はメモリー読み出し期間であり、メモリー 109 において保持されている 8 ビット目のデジタルビデオ信号が読み出され、EL 駆動用 TFT 107 のゲート電極に入力される。そして 8 ビット目のデジタルビデオ信号により、EL 素子が発光するかしないかが選択される。

【0247】次にサブフレーム期間 SF 3 が開始される。サブフレーム期間 SF 3 は画素書き込み期間であるので、3 ビット目のデジタルビデオ信号が EL 駆動用 TFT 107 のゲート電極に入力される。そして 3 ビット目のデジタルビデオ信号により、EL 素子が発光するかしないかが選択される。

【0248】サブフレーム期間 SF 3 においては、メモリー 109 に 8 ビット目のデジタルビデオ信号が保持されている。

【0249】次に分割サブフレーム期間 SF 8__5 が開始される。分割サブフレーム期間 SF 8__5 はメモリー読み出し期間であり、メモリー 109 において保持されている 8 ビット目のデジタルビデオ信号が読み出され、

EL 駆動用 TFT 107 のゲート電極に入力される。そして 8 ビット目のデジタルビデオ信号により、EL 素子が発光するかしないかが選択される。

【0250】次に分割サブフレーム期間 SF 7__1 が開始される。分割サブフレーム期間 SF 7__1 は画素及びメモリー書き込み期間であり、ソース信号線 S_j に入力された 7 ビット目のデジタルビデオ信号は、EL 駆動用 TFT 107 のゲート電極及びメモリー 109 に入力される。そして 7 ビット目のデジタルビデオ信号により、EL 素子が発光するかしないかが選択される。

【0251】次に分割サブフレーム期間 SF 6__2 が開始される。分割サブフレーム期間 SF 6__2 は画素書き込み期間であるので、6 ビット目のデジタルビデオ信号が EL 駆動用 TFT 107 のゲート電極に入力される。そして 6 ビット目のデジタルビデオ信号により、EL 素子が発光するかしないかが選択される。

【0252】分割サブフレーム期間 SF 6__2 においては、メモリー 109 に 7 ビット目のデジタルビデオ信号が保持されている。

【0253】次に分割サブフレーム期間 SF 7__2 が開始される。分割サブフレーム期間 SF 7__2 はメモリー読み出し期間であり、メモリー 109 において保持されている 7 ビット目のデジタルビデオ信号が読み出され、EL 駆動用 TFT 107 のゲート電極に入力される。そして 7 ビット目のデジタルビデオ信号により、EL 素子が発光するかしないかが選択される。

【0254】分割サブフレーム期間 SF 7__2 が終わると、1 フレーム期間が終了する。1 フレーム期間における発光するサブフレーム期間の長さの和の割合によって、各画素の階調が決まる。

【0255】上記構成によって、二進コード法による時間分割駆動において顕著な、偽輪郭などの表示妨害が視認されるのを防ぐことができる。

【0256】なお本実施例では、図 4～図 6 に示した構成を有する自発光装置の駆動方法について説明したが、図 10～図 12 に示した構成を有する自発光装置も、本実施例で示した駆動方法を用いることができる。

【0257】(実施例 2) 本実施例では、実施の形態 1 において示した画素とは TFT の極性が異なる例について説明する。

【0258】図 16 に本実施例の画素の構成を示す。図 16 に示すのは複数の画素 204 のうちの任意の 1 つであり、ソース信号線 S_j (S₁～S_x のうちの 1 つ)、アドレス用ゲート信号線 G_{ai} (G_{a1}～G_{ay} のうちの 1 つ)、メモリー用ゲート信号線 G_{mi} (G_{m1}～G_{my} のうちの 1 つ)、高電圧側電源線 HPS_i (HPS₁～HPS_y のうちの 1 つ) 及び低電圧側電源線 LPS_i (LPS₁～LPS_y のうちの 1 つ) を有している。

【0259】また画素 204 は、アドレス用 TFT 205、メモリー用 TFT 206、EL 駆動用 TFT 20

7、EL素子208及びメモリ209を有している。

【0260】アドレス用TFT205のゲート電極は、アドレス用ゲート信号線G_{ai}に接続されている。また、アドレス用TFT205のソース領域とドレイン領域は、一方はソース信号線S_jに、もう一方はEL駆動用TFT207のゲート電極に接続されている。

【0261】また、メモリ用TFT206のゲート電極はメモリ用ゲート信号線G_{mi}に接続されている。また、メモリ用TFT206のソース領域とドレイン領域は、一方はEL駆動用TFT207のゲート電極に、もう一方はメモリ209に接続されている。つまり、アドレス用TFT205のソース領域とドレイン領域のうちのソース信号線S_jに接続されていない側と、メモリ用TFT206のソース領域とドレイン領域のうちのメモリ209に接続されていない側とは接続されている。

【0262】EL駆動用TFT207のソース領域は画素電極側電源281に接続されており、ドレイン領域はEL素子208が有する画素電極に接続されている。EL素子208は、画素電極と、対向電極と、画素電極と対向電極の間に設けられたEL層とを有している。EL素子208の対向電極は、対向電極側電源282に接続されている。

【0263】画素電極側電源281と対向電極側電源282の電位は、画素電極側電源281の電位がEL素子208の画素電極に与えられたときに、EL素子208が発光する程度に、互いに電位差を有している。

【0264】EL素子208の画素電極と対向電極は、一方が陽極であり、他方が陰極である。本実施例ではEL駆動用TFT207がnチャネル型TFTであるので、陰極を画素電極として用い、陽極を対向電極として用いている。

【0265】なお、EL駆動用TFT107のソース領域に接続される画素電極側電源281を低電圧側電源と共通にし、EL素子208の対向電極に接続される対向電極側電源282を高電圧側電源と共通にする構成にしても良い。

【0266】次に、メモリ209の詳しい構成について説明する。図17にメモリ209の詳しい構成を示す。

【0267】メモリ209は3つのnチャネル型TFT210、211、212と、3つのpチャネル型TFT213、214、215とを有している。

【0268】nチャネル型TFT210のソース領域は低電圧側電源線LPS_iに、ドレイン領域はnチャネル型TFT211のソース領域に接続されている。またpチャネル型TFT214のソース領域は高電圧側電源線HPS_iに、ドレイン領域はpチャネル型TFT213のソース領域に接続されている。

【0269】nチャネル型TFT211のドレイン領域

と、pチャネル型TFT213のドレイン領域は、接続点216で接続されている。

【0270】また、nチャネル型TFT212のソース領域は低電圧側電源線LPS_iに接続されており、pチャネル型TFT215のソース領域は高電圧側電源線HPS_iに接続されている。そしてnチャネル型TFT212のドレイン領域と、pチャネル型TFT215のドレイン領域とが接続点217において接続されている。

【0271】nチャネル型TFT210のゲート電極はアドレス用ゲート信号線G_{ai}に接続されており、pチャネル型TFT214のゲート電極は、メモリ用ゲート信号線G_{mi}(i-1)に接続されている。

【0272】nチャネル型TFT211とpチャネル型TFT213のゲート電極は接続されており、またそれぞれ接続点217にも接続されている。nチャネル型TFT212とpチャネル型TFT215のゲート電極は接続されており、またそれぞれ接続点216にも接続されている。

【0273】接続点216はメモリ用TFT206のソース領域またはドレイン領域と接続されている。

【0274】なお、本発明においてアドレス用TFT205と、メモリ用TFT206とは同じ極性を有していることが必要である。また、アドレス用TFT205と、メモリ用TFT206とは、EL駆動用TFT207と逆の極性を有していることが必要である。

【0275】さらに、メモリ209が有するTFTのうち、アドレス用ゲート信号線G_{ai}にゲート電極が接続されているTFTと、EL駆動用TFT207とは同じ極性を有していることが必要である。また、メモリ209が有するTFTのうち、隣接する画素が有するメモリ用ゲート信号線G_{mi}(i-1)にゲート電極が接続されているTFTは、アドレス用TFT205及びメモリ用TFT206と同じ極性を有していることが必要である。

【0276】本実施例は実施例1と自由に組み合わせて実施することが可能である。

【0277】(実施例3) 本実施例は、図5に示した画素において、コンデンサを設けた例について説明する。

【0278】図18に本実施例の画素の構成を示す。図5に示したものは同じ符号を付す。図18に示した画素において、コンデンサ以外のTFTやEL素子の詳しい接続の様子については、既に実施の形態において説明したので、ここではコンデンサの接続構成についてのみ説明する。

【0279】コンデンサ131は、EL駆動用TFT107のゲート電極と高電圧電源線HPS_iの間に形成される。またコンデンサ132と133は、高電圧電源線HPS_iと、ドレイン領域が互いに接続されている2組のnチャネル型TFTとpチャネル型TFTのゲート電極とによって、それぞれ形成されている。

【0280】コンデンサを設けることによって、アドレス用TFT105やメモリー用TFT106のオフ電流（オフの際にチャネル形成領域に流れる電流）によって、メモリー109に保持されている電荷が減るのを防ぐことができる。

【0281】なおコンデンサ131、132、133は必ずしも設ける必要はない。

【0282】本実施例は、実施例1または2と自由に組み合わせる実施することが可能である。

【0283】（実施例4）本実施例では、本実施の形態2において示した画素とはTFTの極性が異なる例について説明する。

【0284】画素404の詳しい構成を図19に示す。図19に示すのは複数の画素404のうちの任意の1つであり、ソース信号線S_j（S₁～S_xのうちの1つ）、アドレス用ゲート信号線G_{a i}（G_{a 1}～G_{a y}のうちの1つ）、メモリー用ゲート信号線G_{m i}（G_{m 1}～G_{m y}のうちの1つ）、高電圧側電源線HPS_i（HPS₁～HPS_yのうちの1つ）、低電圧側電源線LPS_i（LPS₁～LPS_yのうちの1つ）、画素電極側電源線V_{a i}（V_{a 1}～V_{a y}のうちの1つ）及び対向電極側電源線V_{b i}（V_{b 1}～V_{b y}のうちの1つ）を有している。

【0285】高電圧側電源線HPS₁～HPS_yは高電圧側電源に、低電圧側電源線LPS₁～LPS_yは低電圧側電源に接続されている。また、画素電極側電源線V_{a 1}～V_{a y}は画素電極側電源に、対向電極側電源線V_{b 1}～V_{b y}は対向電極側電源にそれぞれ接続されている。

【0286】また画素404は、アドレス用TFT405、メモリー用TFT406、EL駆動用TFT407、EL素子408及びメモリー409を有している。本実施例において、アドレス用TFT405及びメモリー用TFT406はpチャネル型TFTであり、EL駆動用TFT407はnチャネル型TFTである。

【0287】アドレス用TFT405のゲート電極はアドレス用ゲート信号線G_{a i}に接続されている。また、アドレス用TFT405のソース領域とドレイン領域は、一方はソース信号線S_jに、もう一方はEL駆動用TFT407のゲート電極に接続されている。

【0288】また、メモリー用TFT406のゲート電極はメモリー用ゲート信号線G_{m i}に接続されている。また、メモリー用TFT406のソース領域とドレイン領域は、一方はEL駆動用TFT407のゲート電極に、もう一方はメモリー409に接続されている。つまり、アドレス用TFT405のソース領域とドレイン領域のうちのソース信号線S_jに接続されていない側と、メモリー用TFT406のソース領域とドレイン領域のうちのメモリー409に接続されていない側とは電氣的に接続されている。

【0289】EL駆動用TFT407のソース領域は画素電極側電源線V_{a i}に接続されており、ドレイン領域はEL素子408が有する画素電極に接続されている。EL素子408は、画素電極と、対向電極と、画素電極と対向電極の間に設けられたEL層とを有している。EL素子408の対向電極は、対向電極側電源線V_{b i}に接続されている。

【0290】画素電極側電源線V_{a i}と対向電極側電源線V_{b i}の電位は、画素電極側電源線V_{a i}の電位がEL素子408の画素電極に与えられたときに、EL素子408が発光する程度に、互いに電位差を有している。

【0291】また、EL素子の画素電極と対向電極は、一方が陽極であり、他方が陰極である。本実施例のようにEL駆動用TFT407がnチャネル型TFTの場合、陰極を画素電極として用い、陽極を対向電極として用いた方が好ましい。

【0292】次に、メモリー409の詳しい構成について説明する。図20にメモリー409の詳しい構成を示す。

【0293】メモリー409は2つのnチャネル型TFT（NTFT）411、412と、2つのpチャネル型TFT（PTFT）413、414とを有している。

【0294】nチャネル型TFT411、412のソース領域は、低電圧側電源線LPS_iにそれぞれ接続されている。またpチャネル型TFT413、414のソース領域は、高電圧側電源線HPS_iにそれぞれ接続されている。

【0295】nチャネル型TFT411のドレイン領域と、pチャネル型TFT413のドレイン領域は、接続点416で接続されている。また、nチャネル型TFT412のドレイン領域と、pチャネル型TFT414のドレイン領域は、接続点417で接続されている。

【0296】nチャネル型TFT411とpチャネル型TFT413のゲート電極は、接続点417に接続されている。また、pチャネル型TFT412とnチャネル型TFT414のゲート電極は、接続点416に接続されている。

【0297】接続点416はメモリー用TFT406のソース領域またはドレイン領域と接続されている。

【0298】なお、アドレス用TFT405と、メモリー用TFT406とは同じ極性を有している。

【0299】本実施例は実施例1と自由に組み合わせる実施することが可能である。

【0300】（実施例5）本実施例は、図11に示した画素において、コンデンサを設けた例について説明する。

【0301】図21に本実施例の画素の構成を示す。図11に示したものは同じ符号を付す。図21に示した画素において、コンデンサ以外のTFTやEL素子の詳しい接続の様子については、既に実施の形態において説明

したので、ここではコンデンサの接続構成についてのみ説明する。

【0302】コンデンサ331は、EL駆動用TFT307のゲート電極と画素電極側電源線V_{ai}の間に形成される。またコンデンサ332と333は、画素電極側電源線V_{ai}と、メモリー309が有する、ドレイン領域が互いに接続されている2組のnチャネル型TFTとpチャネル型TFTのゲート電極とによって、それぞれ形成されている。

【0303】コンデンサを設けることによって、アドレス用TFT305やメモリー用TFT306のオフ電流（オフの際にチャネル形成領域に流れる電流）によって、メモリー309に保持されている電荷が減るのを防ぐことができる。

【0304】なおコンデンサ331、332、333は、寄生容量等で十分な場合には、別途設ける必要はない。

【0305】本実施例は、実施例1または4と自由に組み合わせることで実施することが可能である。

【0306】（実施例6）本実施例では、本発明の自発光装置の画素部を駆動させるために用いる、ソース信号線駆動回路、アドレス用ゲート信号線駆動回路及びメモリー用ゲート信号線駆動回路の詳しい構成について説明する。

【0307】図22に本実施例の自発光装置の駆動回路のブロック図を示す。図22（A）はソース信号線駆動回路601であり、シフトレジスタ602、ラッチ（A）603、ラッチ（B）604を有している。

【0308】ソース信号線駆動回路601において、シフトレジスタ602にクロック信号（CLK）およびスタートパルス（SP）が入力される。シフトレジスタ602は、これらのクロック信号（CLK）およびスタートパルス（SP）に基づきタイミング信号を順に発生させ、バッファ等（図示せず）を通して後段の回路へタイミング信号を順次入力する。

【0309】シフトレジスタ602からのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が入力される配線には、多くの回路あるいは素子が接続されているために負荷容量（寄生容量）が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がりの“鈍り”を防ぐために、このバッファが設けられる。なおバッファは必ずしも設ける必要はない。

【0310】バッファによって緩衝増幅されたタイミング信号は、ラッチ（A）603に入力される。ラッチ（A）603は、nビットデジタルビデオ信号を処理する複数のステージのラッチを有している。ラッチ（A）603は、前記タイミング信号が入力されると、ソース信号線駆動回路601の外部から入力されるnビットのデジタルビデオ信号を順次取り込み、保持する。

【0311】なお、ラッチ（A）603にデジタルビデオ信号を取り込む際に、ラッチ（A）603が有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ（A）603が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

【0312】ラッチ（A）603の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0313】1ライン期間が終了すると、ラッチ（B）604にラッチシグナル（Latch Signal）が入力される。この瞬間、ラッチ（A）603に書き込まれ保持されているデジタルビデオ信号は、ラッチ（B）604に一斉に送出され、ラッチ（B）604の全ステージのラッチに書き込まれ、保持される。

【0314】デジタルビデオ信号をラッチ（B）604に送出し終えたラッチ（A）603には、シフトレジスタ602からのタイミング信号に基づき、デジタルビデオ信号の書き込みが順次行われる。

【0315】この2順目の1ライン期間中には、ラッチ（B）603に書き込まれ、保持されているデジタルビデオ信号がソース信号線に入力される。

【0316】図22（B）はアドレス用ゲート信号線駆動回路の構成を示すブロック図である。

【0317】アドレス用ゲート信号線駆動回路605は、それぞれシフトレジスタ606、バッファ607を有している。また場合によってはレベルシフトを有していても良い。

【0318】アドレス用ゲート信号線駆動回路605において、シフトレジスタ606からのタイミング信号がバッファ607に入力され、対応するアドレス用ゲート信号線に入力される。アドレス用ゲート信号線には、1ライン分の画素のアドレス用TFTのゲート電極が接続されている。そして、1ライン分の画素のアドレス用TFTを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0319】なおメモリー用ゲート信号線駆動回路はアドレス用ゲート信号線駆動回路の構成と同じであるので、図22（B）を参考にする。ただしメモリー用ゲート信号線駆動回路の場合、バッファからの出力はメモリー用ゲート信号線に入力される。またメモリー用ゲート信号線には、1ライン分の画素のメモリー用TFTのゲート電極が接続されている。そして、1ライン分の画素のメモリー用TFTを一斉にONにしなくてはならない

ので、バッファは大きな電流を流すことが可能なものが用いられる。

【0320】本実施例は実施例1～5と自由に組み合わせることで実施することが可能である。

【0321】(実施例7) 本実施例においては、同一基板上に、画素部および画素部の周辺に設ける駆動回路のTFT(Nチャネル型TFTおよびPチャネル型TFT)を同時に作製する方法について詳細に説明する。なお本実施例では、画素部のTFTとして代表的にアドレス用TFTとEL駆動用TFTのみを示したが、各画素のメモリー用TFTや、メモリーが有するTFTも同時に形成することができる。

【0322】まず、図23(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜5002aを10～200[nm](好ましくは50～100[nm])形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜5002bを50～200[nm](好ましくは100～150[nm])の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0323】島状半導体層5003～5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003～5006の厚さは25～80[nm](好ましくは30～60[nm])の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0324】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300[Hz]とし、レーザーエネルギー密度を100～400[mJ/cm²](代表的には200～300[mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30～300[kHz]とし、レーザーエネルギー密度を300～600[mJ/cm²](代表的には350～500[mJ/cm²])とすると良い。そして幅100～1000[μm]、例えば400[μm]で線状に集光したレーザー光を

基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50～90[%]として行う。

【0325】次いで、島状半導体層5003～5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40～150[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)と O_2 とを混合し、反応圧力40[Pa]、基板温度300～400[°C]とし、高周波(13.56[MHz])、電力密度0.5～0.8[W/cm²]で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500[°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0326】そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100[nm]の厚さに形成し、第2の導電膜5009をWで100～300[nm]の厚さに形成する。

【0327】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、α相のTa膜の抵抗率は20[μΩcm]程度でありゲート電極に使用することができるが、β相のTa膜の抵抗率は180[μΩcm]程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10～50[nm]程度の厚さでTaの下地に形成しておくことα相のTa膜を容易に得ることができる。

【0328】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999または99.99[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20[μΩcm]を実現することができる。

【0329】なお、本実施例では、第1の導電膜500

8をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をCuとする組み合わせで形成することが好ましい。

【0330】次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0331】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は15°~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011~5016(第1の導電層5011a~5016aと第2の導電層5011b~5016b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011~5016で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。(図23(A))

【0332】そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。(図23(B))ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を60~100[keV]として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011~5015がN型を付与

する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017~5025が形成される。第1の不純物領域5017~5025には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でN型を付与する不純物元素を添加する。

【0333】次に、図23(C)に示すように第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスにCF₄とCl₂とO₂を混合して、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を供給し、プラズマを生成して行う。基板側(試料ステージ)には50[W]のRF(13.56[MHz])電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層5026~5031(第1の導電層5026a~5031aと第2の導電層5026b~5031b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026~5031で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0334】W膜やTa膜のCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWCls、TaFs、TaClsは同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0335】そして、図24(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120[keV]とし、 1×10^{13} [atoms/cm²]のドーズ量で行い、図23(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026~5030を不純物元素に対するマスクとして用い、第2の導電層5026a~5030aの下側の領域にも不

純物元素が添加されるようにドーピングする。こうして、第2の導電層5026a~5030aと重なる第3の不純物領域5032~5041と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5042~5051とを形成する。N型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{19}$ [atoms/cm³]の濃度となるようにし、第3の不純物領域で $1 \times 10^{16} \sim 1 \times 10^{18}$ [atoms/cm³]の濃度となるようにする。

【0336】そして、図24(B)に示すように、Pチャネル型TFTを形成する島状半導体層5004~5006に第1の導電型とは逆の導電型の第4の不純物領域5052~5074を形成する。第2の導電層5027b~5030bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFTを形成する島状半導体層5003および配線部5031はレジストマスク5200で全面を被覆しておく。不純物領域5052~5074にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B₂H₆)を用いたイオンドーピング法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21}$ [atoms/cm³]となるようにする。

【0337】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第2の導電層5026~5030がゲート電極として機能する。また、5031は島状のソース信号線として機能する。

【0338】こうして導電型の制御を目的として図24(C)に示すように、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーストアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で400~700 [°C]、代表的には500~600 [°C]で行うものであり、本実施例では500 [°C]で4時間の熱処理を行う。ただし、5026~5031に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0339】さらに、3~100 [%]の水素を含む雰囲気中で、300~450 [°C]で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0340】次いで、図25(A)に示すように、第1の層間絶縁膜5075を酸化窒化シリコン膜から100~200 [nm]の厚さで形成する。その上に有機絶縁物材

料から成る第2の層間絶縁膜5076を形成した後、第1の層間絶縁膜5075、第2の層間絶縁膜5076、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線(接続配線、信号線を含む)5077~5082、5084をパターンニング形成した後、接続配線5082に接する画素電極5083をパターンニング形成する。

【0341】第2の層間絶縁膜5076としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5076は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1~5 [μm](さらに好ましくは2~4 [μm])とすれば良い。

【0342】コンタクトホールの形成は、ドライエッチングまたはウェットエッチングを用い、N型の不純物領域5017、5018またはP型の不純物領域5052~5074に達するコンタクトホール、配線5031に達するコンタクトホール、電流供給線に達するコンタクトホール(図示せず)、およびゲート電極に達するコンタクトホール(図示せず)をそれぞれ形成する。

【0343】また、配線(接続配線、信号線を含む)5077~5082、5084として、Ti膜を100 [nm]、Tiを含むアルミニウム膜を300 [nm]、Ti膜150 [nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターンニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0344】また、本実施例では、画素電極5083としてITO膜を110 [nm]の厚さに形成し、パターンニングを行った。画素電極5083を接続配線5082と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2~20 [%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極5083がEL素子の陽極となる。(図25(A))

【0345】次に、図25(B)に示すように、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500 [nm]の厚さに形成し、画素電極5083に対応する位置に開口部を形成して第3の層間絶縁膜5085を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかなないと段差に起因するEL層の劣化が顕著な問題となってしまう。

【0346】次に、EL層5086および陰極(MgAg電極)5087を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層5086の膜厚は80~200 [nm](典型的には100~120 [nm])、陰極5087の厚さは180~300 [nm](典型的には20

0~250[nm])とすれば良い。

【0347】この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、EL層を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層を形成するのが好ましい。

【0348】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0349】次に陰極5087を形成する。陰極5087は、各色のEL層に共通の連続した膜として形成しても良いし、メタルマスクを用いて各色毎に選択的に形成するようにしても良い。なお、全面素子にEL層および陰極を形成するまで真空を破らずに処理することが好ましい。

【0350】ここではRGBに対応した3種類のEL素子を形成する方式を用いたが、白色発光のEL素子とカラーフィルタを組み合わせた方式、青色または青緑発光のEL素子と蛍光体(蛍光性の色変換層:CCM)とを組み合わせた方式、陰極(対向電極)に透明電極を利用してRGBに対応したEL素子を重ねる方式などを用いても良い。

【0351】なお、EL層5086としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をEL層とすれば良い。また、本実施例ではEL素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料であっても良い。

【0352】次いで、EL層および陰極を覆って保護電極5088を形成する。この保護電極5088としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極5088はEL層および陰極を形成した時とは異なるマスクを用いて真空蒸着法で形成すれば良い。また、EL層および陰極を形成した後で大気解放しないで連続的に形成することが好ましい。

【0353】最後に、窒化珪素膜でなるパッシベーション膜5089を300[nm]の厚さに形成する。実際には保護電極5088がEL層を水分等から保護する役割を果たすが、さらにパッシベーション膜5089を形成しておくことで、EL素子の信頼性をさらに高めることが

出来る。

【0354】こうして図25(B)に示すような構造のアクティブマトリクス型自発光装置が完成する。なお、本実施例におけるアクティブマトリクス型自発光装置の作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるT.a、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるA1によってゲート信号線を形成しているが、異なる材料を用いても良い。

10. 【0355】ところで、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

20. 【0356】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のNチャネル型TFTとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

【0357】本実施例の場合、Nチャネル型TFTの活性層は、ソース領域、ドレイン領域、GOLD領域、LDD領域およびチャネル形成領域を含み、GOLD領域はゲート絶縁膜を介してゲート電極と重なっている。

30. 【0358】また、CMOS回路のPチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、Nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

40. 【0359】その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。また駆動回路において、オフ電流値を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、LDD領域の一部がゲート絶縁膜を介してゲート電極と重なる構成を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。

50. 【0360】なお、実際には図25(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィル

47

ム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたリ、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとEL素子の信頼性が向上する。

【0361】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリント基板:FPC)を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中では自発光装置という。

【0362】また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトリソの数を5枚(島状半導体層パターン、第1配線パターン(ゲート配線、島状のソース配線、容量配線)、nチャネル領域のマスクパターン、コンタクトホールパターン、第2配線パターン(画素電極、接続電極含む))とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0363】本実施例は実施例1~6と自由に組み合わせ20せて実施することが可能である。

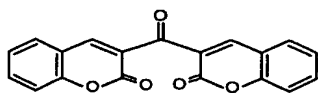
【0364】(実施例8)本発明において、三重項励起子からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0365】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo, 1991) p.437.)

【0366】上記の論文により報告されたEL材料(クマリン色素)の分子式を以下に示す。

【0367】

【化1】



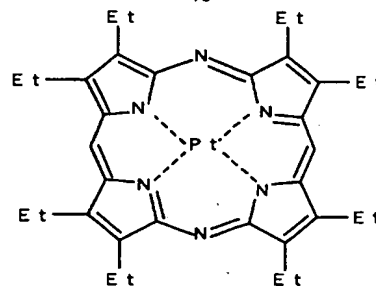
【0368】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【0369】上記の論文により報告されたEL材料(Pt錯体)の分子式を以下に示す。

【0370】

【化2】

48

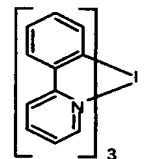


10 【0371】(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn. Appl. Phys., 38 (12B) (1999) L1502.)

【0372】上記の論文により報告されたEL材料(Ir錯体)の分子式を以下に示す。

【0373】

【化3】



【0374】以上のように三重項励起子からの燐光発光を利用できれば原理的には三重項励起子からの蛍光発光を用いる場合より3~4倍の高い外部発光量子効率の実現が可能となる。

【0375】なお本発明の自発光装置に用いられる三重項励起子からの燐光を発光に利用できるEL材料は、上記構成に限定されない。また、本発明の自発光装置に用いられるEL材料は、燐光を発光に利用できるEL材料に限定されず、蛍光を発光に利用できるEL材料を用いても良い。

【0376】なお、本実施例の構成は、実施例1~実施例7のいずれの構成とも自由に組み合わせて実施することが可能である。

【0377】(実施例9)自発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0378】本発明の自発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDVD: Digital Versatile Disc)等の記録媒体を再生し、その画像を表示しう

るディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、自発光装置を用いることが望ましい。それら電子機器の具体例を図26に示す。

【0379】図26(A)はEL表示装置であり、筐体2001、支持台2002、表示部2003、スピーカ一部2004、ビデオ入力端子2005等を含む。本発明の自発光装置は表示部2003に用いることができる。自発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、EL表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0380】図26(B)はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の自発光装置は表示部2102に用いることができる。

【0381】図26(C)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の自発光装置は表示部2203に用いることができる。

【0382】図26(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の自発光装置は表示部2302に用いることができる。

【0383】図26(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読み込み部2405、操作キー2406、スピーカ一部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の自発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0384】図26(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2501、表示部2502、アーム部2503を含む。本発明の自発光装置は表示部2502に用いることができる。

【0385】図26(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の自発光装置は表示部2602に用いることができる。

【0386】ここで図26(H)は携帯電話であり、本

体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の自発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0387】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0388】また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、自発光装置は動画表示に好ましい。

【0389】また、自発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に自発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0390】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1~8に示したいずれの構成を有する自発光装置を用いても良い。

【0391】

【発明の効果】本発明の自発光装置では、1フレーム期間中に点灯期間と非点灯期間とが分割されて交互に出現する。そのため人間の視点が左右上下に微妙に動いて、非点灯の画素のみを連続して凝視したり、逆に点灯している画素のみを連続して凝視してしまったとしても、連続する点灯期間もしくは非点灯期間の長さが、従来の単純な二進コード法による駆動に比べて短いため、偽輪郭の視認を防止することができる。

【0392】また、実施の形態1に示した本発明の自発光装置は、画素内に設けられたメモリーにデジタルビデオ信号が記憶されるので、静止画の場合一度書き込みを行えば、フレーム毎にデジタルビデオ信号の入力を行わなくとも静止画を継続的に表示することができる。すなわち、静止画を表示する際は、最低1フレーム分の信号の処理動作を行った後にソース信号線駆動回路を停止させておくことが可能となり、それに伴って電力消費を大きく低減することが可能となる。

【0393】また、実施の形態2に示した本発明の自発光装置は、画素及びメモリー書き込み期間以外の期間において、高電圧側電源線と低電圧側電源線の電位は一定である。そのため、画素内に設けられたメモリーはSR

51

AMとして機能するため、デジタルビデオ信号がメモリーに記憶されると、再びデジタルビデオ信号がメモリーに入力されるまで、記憶したデジタルビデオ信号を保持する。よって、静止画の場合一度書き込みを行えば、フレーム毎にデジタルビデオ信号の入力を行わなくとも静止画を継続的に表示することができる。すなわち、静止画を表示する際は、最低1フレーム分の信号の処理動作を行った後にソース信号線駆動回路を停止させておくことが可能となり、それに伴って電力消費を大きく低減することが可能となる。

【0394】上記構成によって、二進コード法による時間分割駆動において顕著な、偽輪郭などの表示妨害が視認されるのを防ぐことができる。

【図面の簡単な説明】

【図1】 本発明の駆動方法を用いた自発光装置の画素部と、表示期間と分割表示期間の長さの比を表した図。

【図2】 本発明の駆動方法を用いた自発光装置の画素部と、点灯期間と非点灯期間の長さの比を表した図。

【図3】 本発明の自発光装置の上面ブロック図。

【図4】 本発明の自発光装置の画素部。

【図5】 本発明の自発光装置の画素回路図。

【図6】 メモリーの回路図。

【図7】 本発明の自発光装置の駆動方法を示す図。

【図8】 駆動時における画素の接続構成を示す図。

52

【図9】 本発明の自発光装置の駆動方法を示す図。

【図10】 本発明の自発光装置の画素部。

【図11】 本発明の自発光装置の画素回路図。

【図12】 メモリーの回路図。

【図13】 本発明の自発光装置の駆動方法を示す図。

【図14】 駆動時における画素の接続構成を示す図。

【図15】 本発明の自発光装置の駆動方法を示す図。

【図16】 本発明の自発光装置の画素回路図。

【図17】 メモリーの回路図。

10 【図18】 本発明の自発光装置の画素回路図。

【図19】 本発明の自発光装置の画素回路図。

【図20】 メモリーの回路図。

【図21】 本発明の自発光装置の画素回路図。

【図22】 本発明の自発光装置の駆動回路のブロック図。

【図23】 TFTの作成方法を示す図。

【図24】 TFTの作成方法を示す図。

【図25】 TFTの作成方法を示す図。

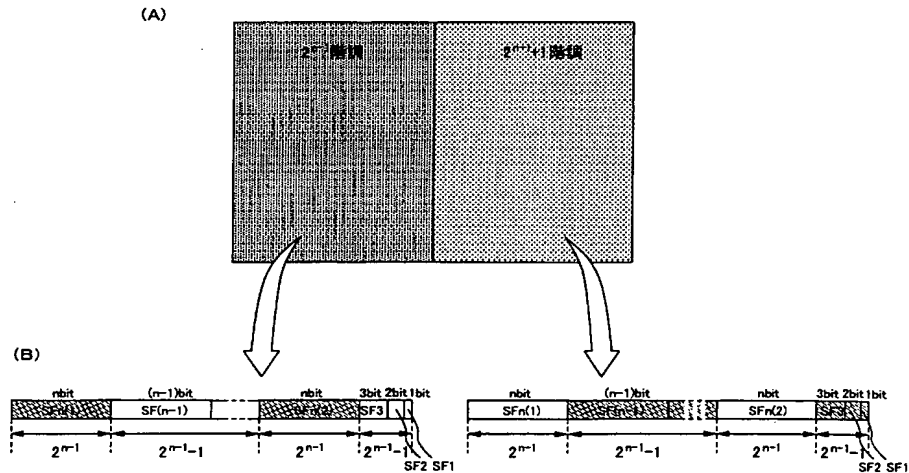
【図26】 本発明の自発光装置を用いた電子機器の

20 図。

【図27】 従来の駆動方法を用いた自発光装置の画素部と、表示期間と分割表示期間の長さの比を表した図。

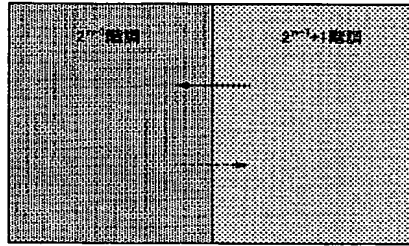
【図28】 従来の駆動方法を用いた自発光装置の画素部と、点灯期間と非点灯期間の長さの比を表した図。

【図1】

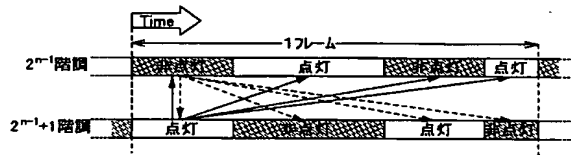


【図2】

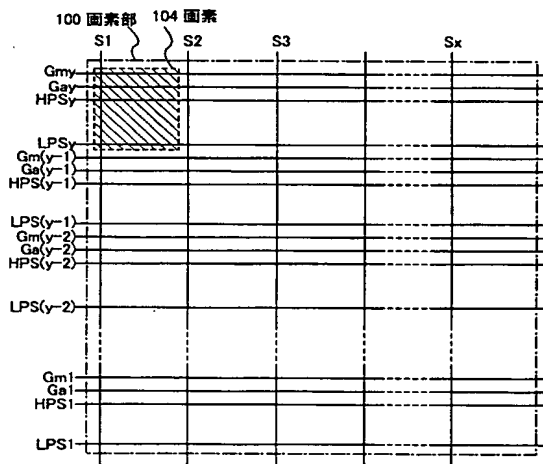
(A)



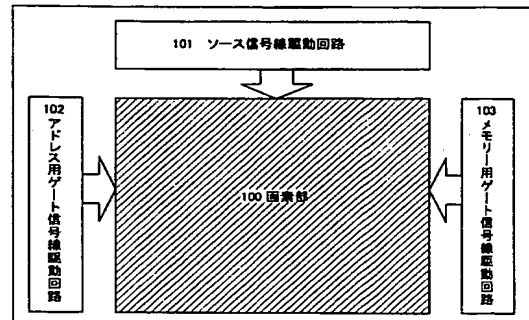
(B)



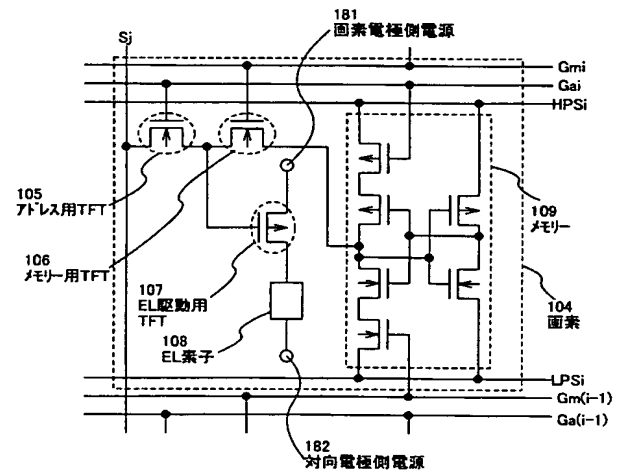
【図4】



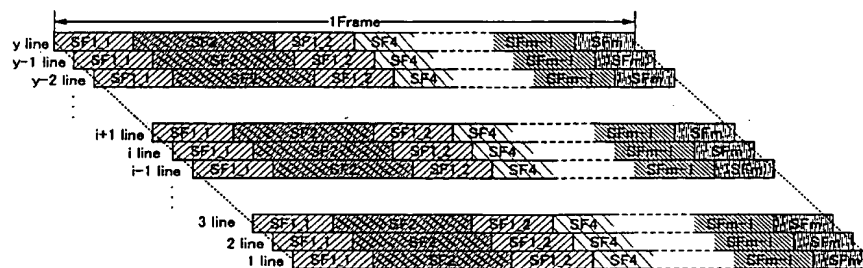
【図3】



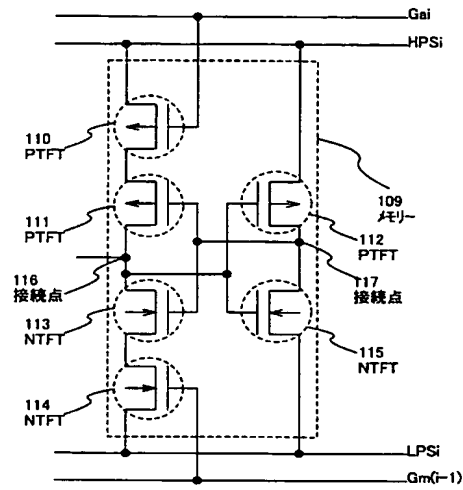
【図5】



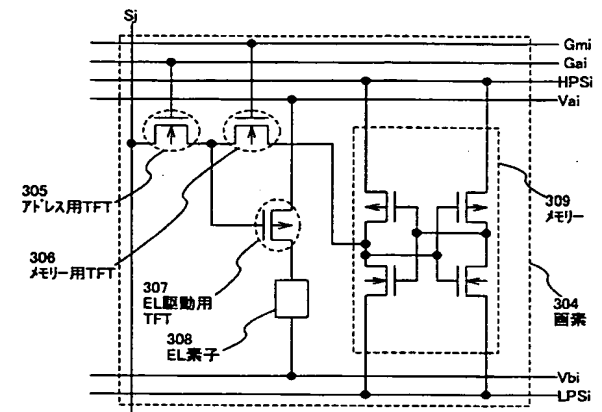
【図9】



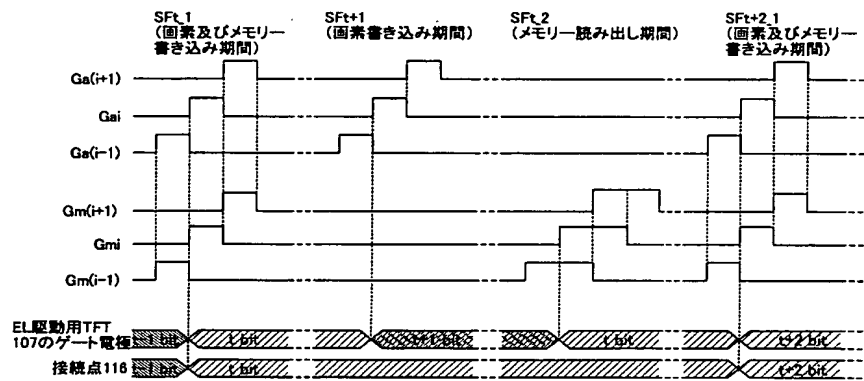
【図 6】



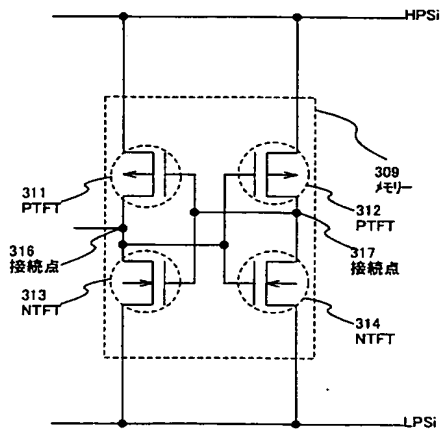
【図 11】



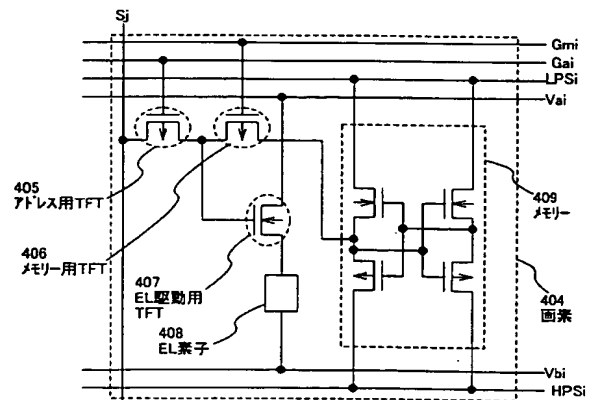
【図 7】



【図 12】

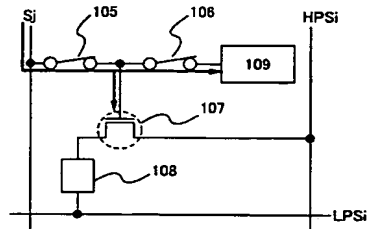


【図 19】

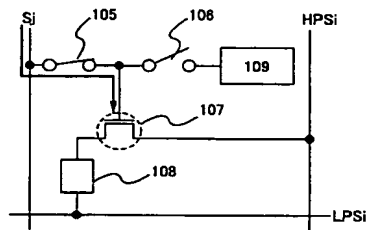


【図8】

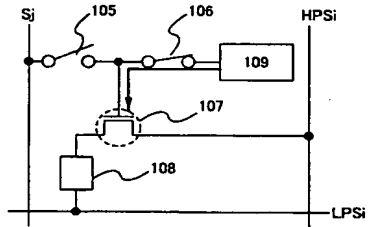
(A) SFt1: 画素及びメモリー書き込み期間



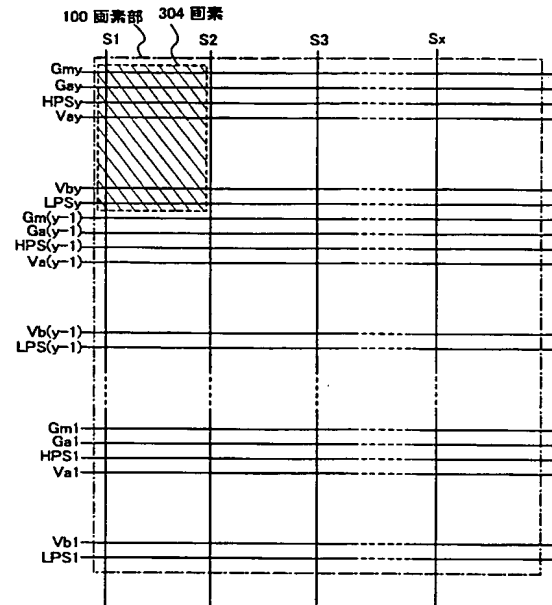
(B) SFt+1: 画素書き込み期間



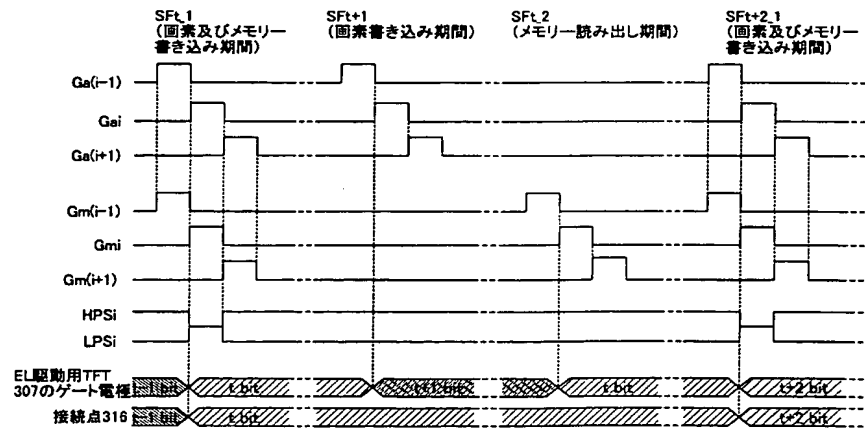
(C) SFt2: メモリー読み出し期間



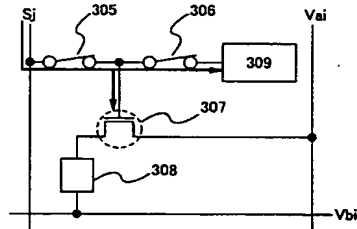
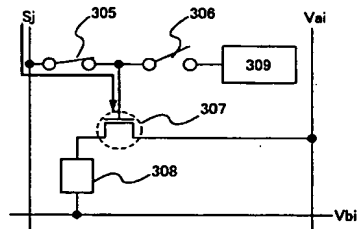
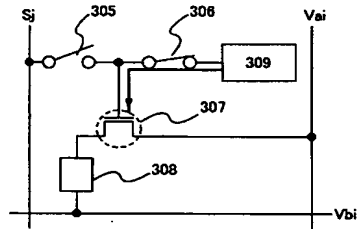
【図10】



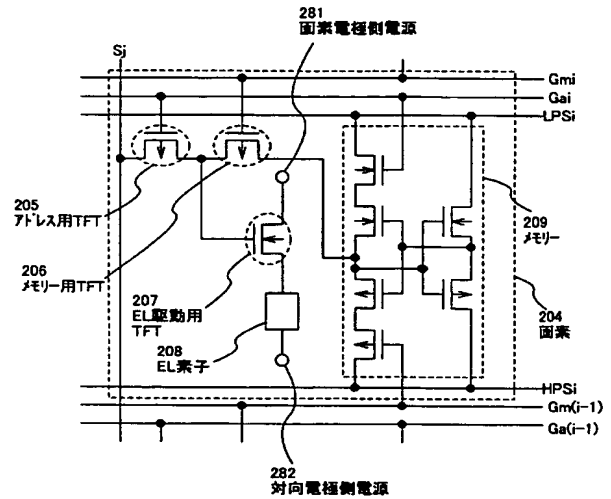
【図13】



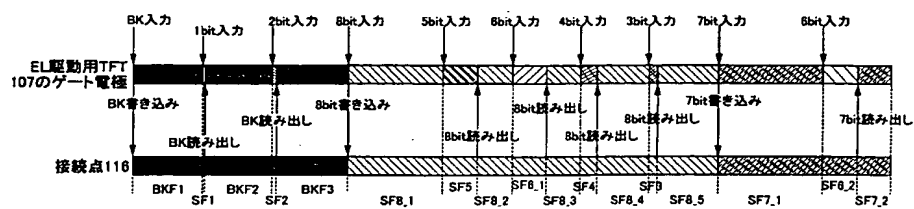
【図14】

(A) SF_{t+1} : 画素及びメモリ書き込み期間(B) SF_{t+1} : 画素書き込み期間(C) SF_{t+2} : メモリ読み出し期間

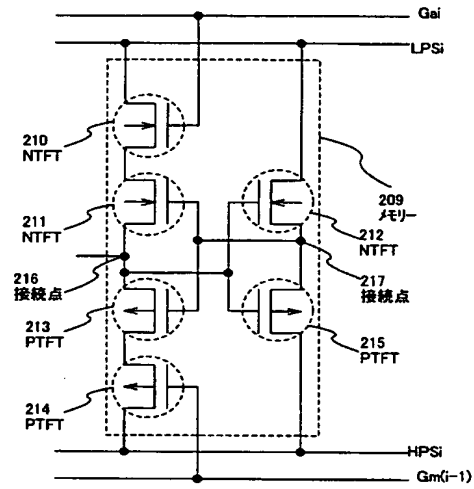
【図16】



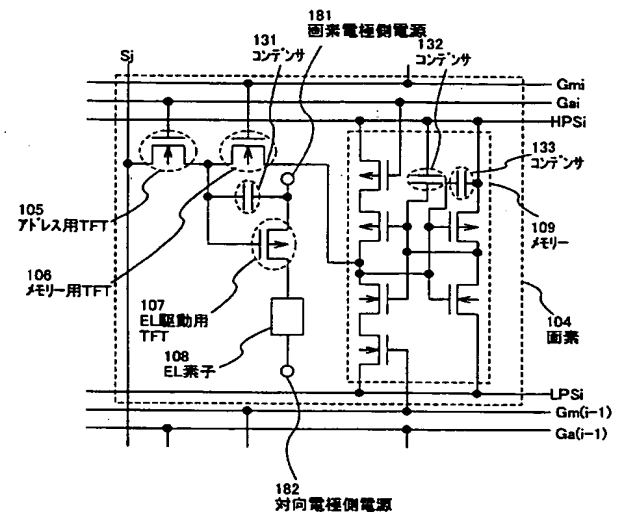
【図15】



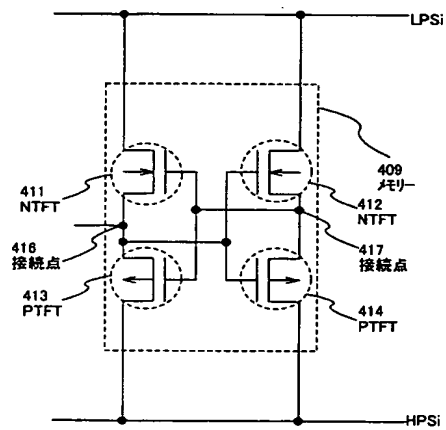
【図17】



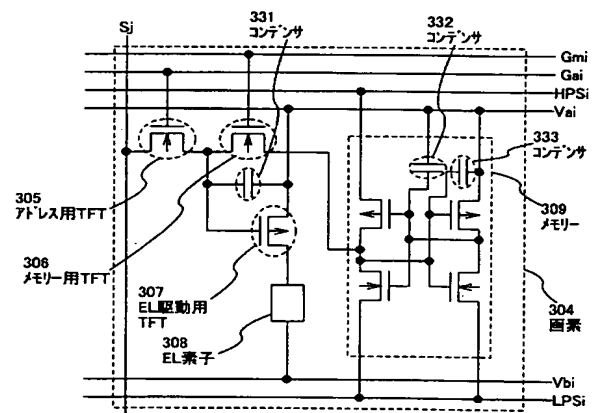
【図18】



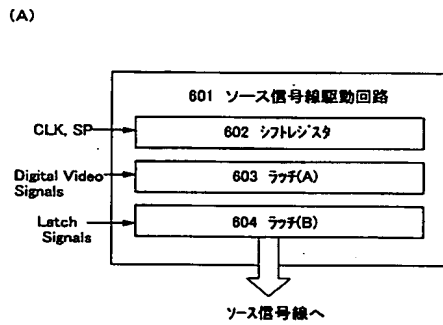
【図20】



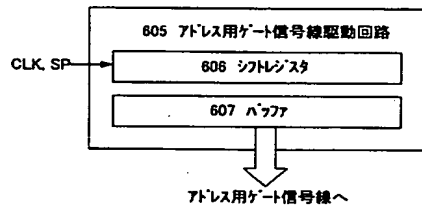
【図21】



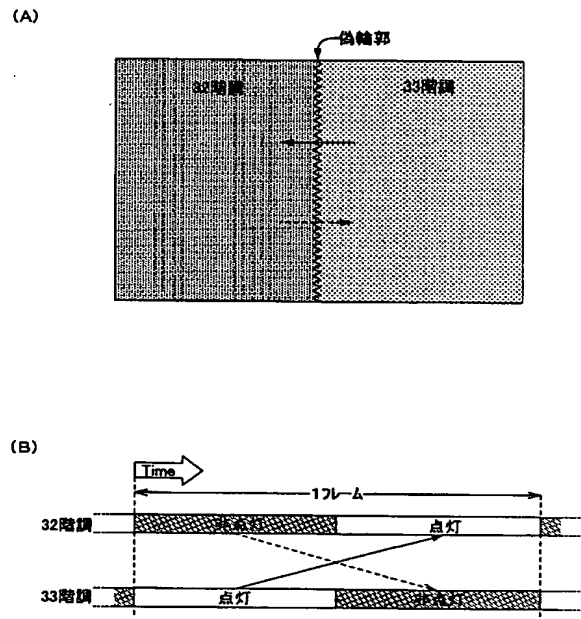
【図 22】



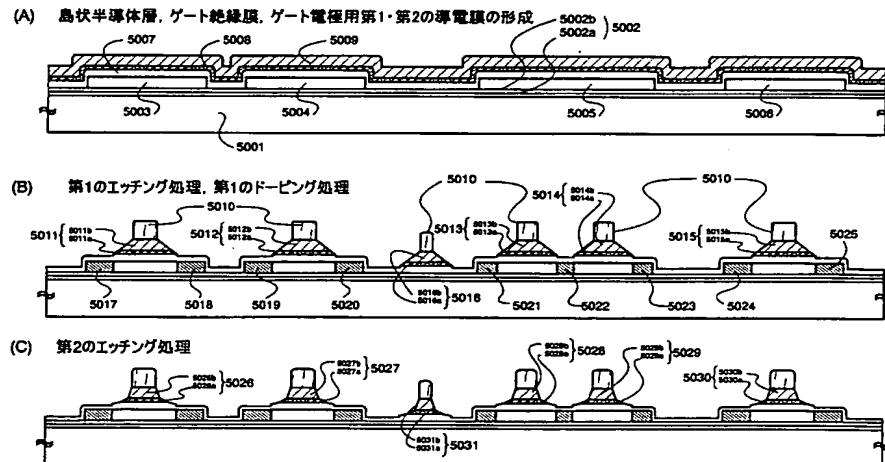
(B)



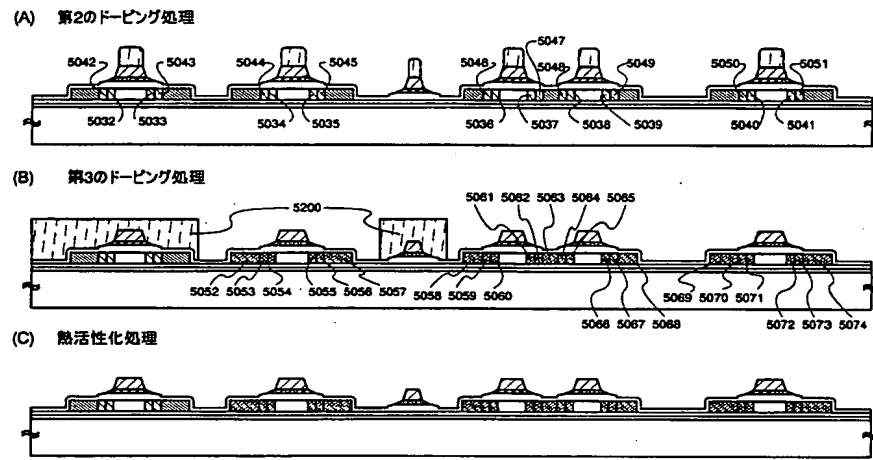
【図 28】



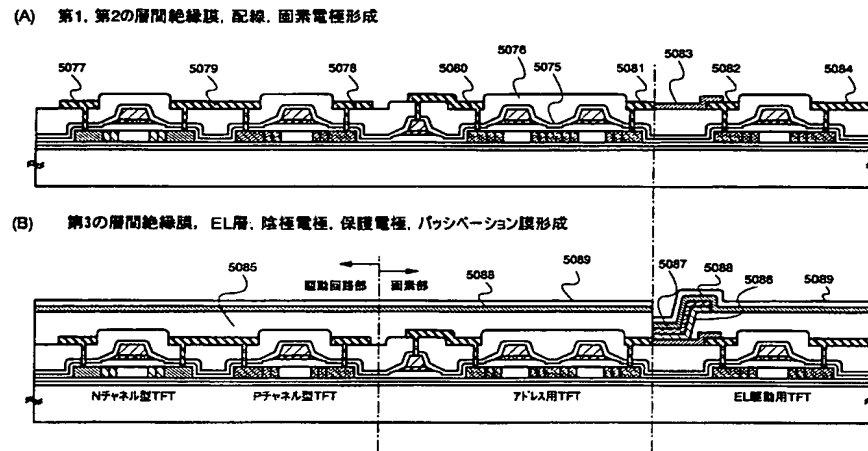
【図 23】



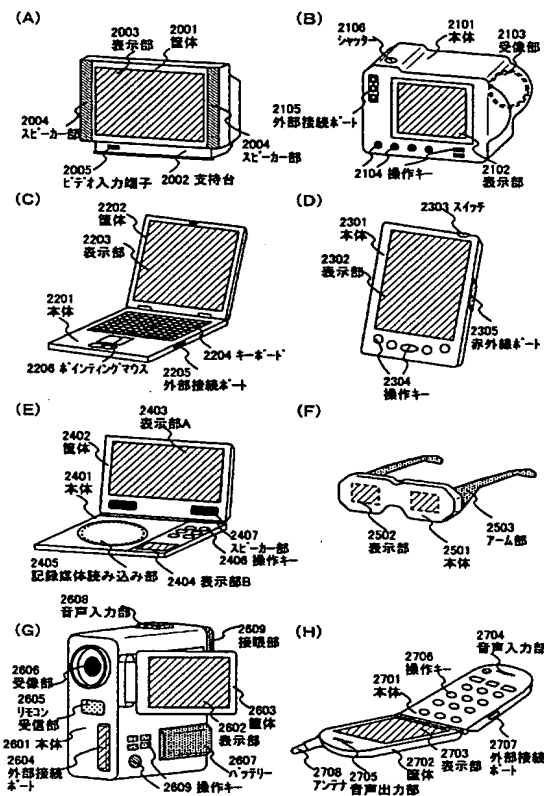
【図 24】



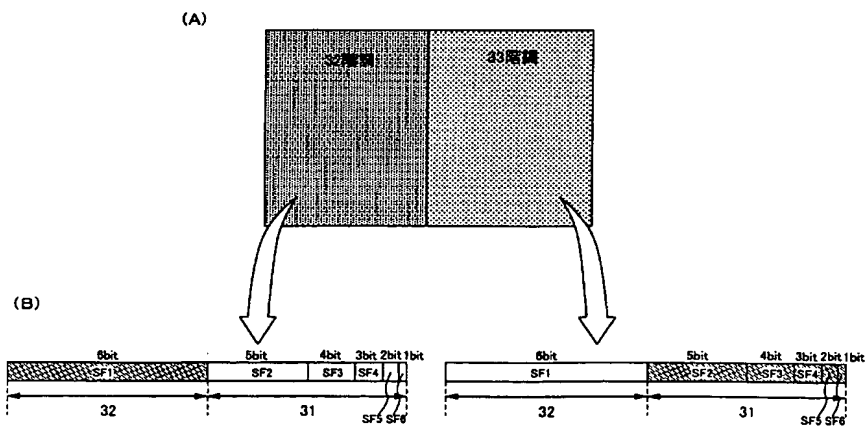
【図 25】



【図 26】



【図 27】



フロントページの続き

(51) Int. Cl.⁷

G 0 9 G 3/20

識別記号

6 4 1

F I

G 0 9 G 3/20

テマート* (参考)

6 4 1 E

6 4 1 R

H O 5 B 33/08
33/14

H O 5 B 33/08
33/14

A

F ターム(参考) 3K007 AB00 AB03 AB04 AB05 BA06
BB06 CA01 CB01 DA00 DB03
EB00 FA01
5C080 AA06 BB05 DD04 DD05 EE19
EE29 FF11 JJ03 JJ04 JJ06
5C094 AA01 AA07 AA22 AA53 AA56
BA03 BA09 BA27 CA19 CA25
DA09 DA13 DB01 DB04 EA04
EA05 EA07 FB01 FB12 FB14
FB15 FB20 GA10

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.